

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-354043

(43)Date of publication of application : 19.12.2000

(51)Int.CI.

H04L 12/28
H04J 3/00

(21)Application number : 11-163004

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.06.1999

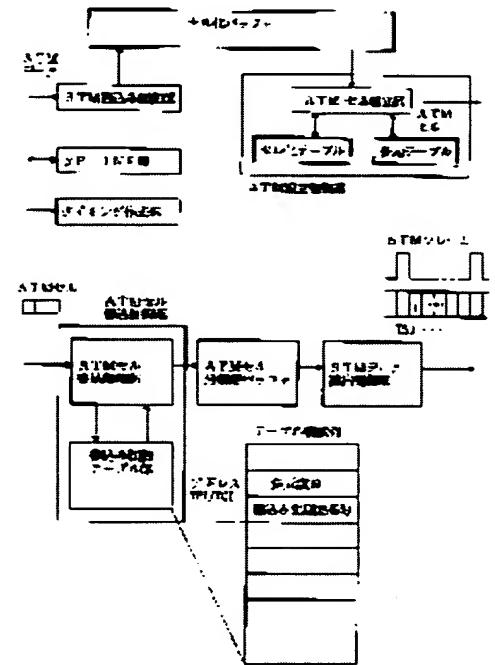
(72)Inventor : ONO HIDEAKI
TAKECHI RYUICHI
OTOMO KATSUHIRO
SAKURAI HIROYA
AZUMA MASARU

(54) ATM CELL ASSEMBLING/DISASSEMBLING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the memory scale of an ATM cell assembling/disassembling device which is provided between an STM(synchronous transfer mode) network and an ATM(asynchronous transfer mode) network and adopts an AAL(ATM adaptation layer) 1, by eliminating the need of a high-speed memory at the time of assembling and disassembling the ATM cell and to enable the assembling/disassembling device to automatically avoid mutual collision at the time of assembling the cell, to secure a fixed delay condition to a communication call requiring real-time properties, and to suppress the occurrence of burst caused by the breaking-up of cell assemblage with respect to a multiple-speed call.

SOLUTION: An ATM cell assembling device is provided with a data buffer which stores STM data in a frame cycle, a write means and a read-out means, and an ATM cell disassembling device is provided with a data buffer which stores ATM data at every arrival of ATM cells, a write means, and a read-out means. The real-time communication call of an STM is communicated by using the corresponding specific cyclical slot, and a multiple-speed call is communicated by using a cell slot which is shared in common with continuous multiple STM time slots.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of
rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-354043
(P2000-354043A)

(43)公開日 平成12年12月19日(2000.12.19)

(51)Int.Cl.⁷
H 0 4 L 12/28
H 0 4 J 3/00

識別記号

F I
H 0 4 L 11/20
H 0 4 J 3/00

テ-マコード(参考)
E 5 K 0 2 8
U 5 K 0 3 0
9 A 0 0 1

審査請求 未請求 請求項の数10 OL (全34頁)

(21)出願番号 特願平11-163004

(22)出願日 平成11年6月9日(1999.6.9)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 小野 英明

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 武智 竜一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100072590

弁理士 井桁 貞一

最終頁に続く

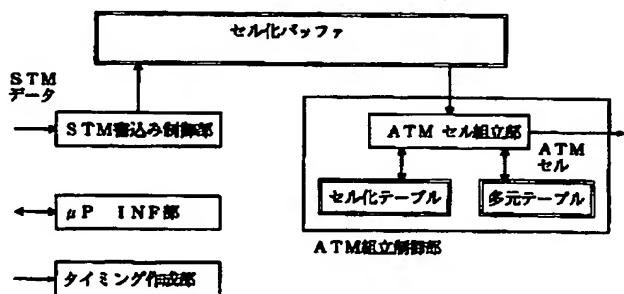
(54)【発明の名称】 ATMセル組立・分解装置

(57)【要約】

【課題】 STM網とATM網の間に設置され、AL1を採用するATMセルの組立及び分解を行うATMセル組立・分解装置に関し、セルの組立及び分解時において高速メモリを不要としメモリ規模の縮小を図り、セル組立時の相互衝突を自動的に回避し、リアルタイム性の要求される通信呼には一定遅延条件を確保し多元速度呼に対してはセル組立の分散化によるバースト発生を抑える。

【解決手段】 セル組立装置はSTMデータをフレーム周期で蓄積するデータバッファと書込手段と読出手段とを有し、セル分解装置はATMデータをATMセル到着毎に蓄積するデータバッファと書込手段と読出手段とを有し、STMのリアルタイム通信呼は対応する特定の周期セルスロット、多元速度呼は連続する多元数のSTMタイムスロットと共にセルスロットを使って通信を行う。

本発明のATMセル組立装置の原理構成図



【特許請求の範囲】

【請求項1】 STM(Synchronous Transfer Mode)網とATM(Asynchronous Transfer Mode)網の間に設置され、時分割多重されたSTMデータとATMセルとの相互変換を行うATMセル組立装置及びATMセル分解装置から構成されるATMセル組立・分解装置において、STM網との多元速度の通信呼データの送信・受信においては、STMフレーム中の連続する多元数個のタイムスロットを使い、

ATM網へのATMセルの組立・送出においては、STMフレーム周期にペイロード数を乗算した時間長のセル化基本フレームをATMセルの時間幅で時間量子化したセルスロットを使い、

相互変換を行うことを特徴とするATMセル組立・分解装置。

【請求項2】 請求項1に記載のATMセル組立・分解装置において、STMデータをATMセルに変換するATMセル組立装置は、

音声などのリアルタイム性の要求がある通信呼に対するATMセル組立・送出は、

当該通信呼に1対1に対応した前記セル化基本フレームで周期的に繰り返す特定のセルスロットで行い、

リアルタイム性を要求しない多元速度呼に対するATMセル組立・送出は、

リアルタイム性の要求がある通信呼に割り当てられていないセルスロットを多元速度呼用の共用セルスロットとして使い、

ペイロード数個のデータを受信しATMセル組立準備が完了した多元呼の順番に行うことを特徴とする請求項1に記載のATMセル組立装置

【請求項3】 請求項2に記載のATMセル組立装置は、時分割多重されたSTMデータをSTMフレーム毎に格納するデータバッファと、STMデータをSTMフレーム毎タイムスロット毎にバイト単位でデータバッファに格納する書込制御部と、当該データバッファからATMセル組み立て用の所望のデータをペイロード用に読み出しATMセル組み立てを行うATMセル組立制御部、とを有し、

前記書込制御部は、データバッファに対し当該ATMセル組立制御部とは独立してデータの到着順にSTMフレーム、タイムスロット毎に書込み処理を行い、

前記ATMセル組立制御部は、データバッファからデータを読み出しATMに組み立てるATMセル組立部、

当該ATMセル組立部がデータ読み出し及びATMセル組立を行う為に必要なSTMのタイムスロット毎の属性データを格納するセル化テーブル、

多元速度呼に關し、データバッファに、ATMセル組立に必要なデータが格納完了する順番に、当該データバッファのアドレスがFIFO(First In First Out)論理の

待ち行列を形成する多元テーブル、を有し、ATMセル組立部は、当該セル化テーブル、多元テーブルのデータを基に、ATMセル組立を行うことを特徴とする、請求項2に記載のATMセル組立装置。

【請求項4】 請求項3に記載のATMセル組立装置において、

前記ATMセル組立制御部は、

前記セルスロットにおいてATMセル組立処理を行う際に、セル化テーブルの対応するタイムスロットのアドレスの属性データから、前記セルスロットが多元呼用に割り当てられたセルスロットであることを検知した場合には、

多元テーブルから待ち行列の先頭の多元呼用データバッファアドレス値を得、当該データバッファアドレス値に1対1に対応するタイムスロット番地のセル化テーブルから、当該多元呼用に必要な読み出し制御パラメータを得て、セル化バッファからのデータ読み出しを行う、ことを特徴とする、請求項3に記載のATMセル組立装置。

20 【請求項5】 請求項3のATMセル組立装置において、前記セル化テーブルを構成するタイムスロット毎のデータ構成に關し、

通信呼の開始を指示するフラグビット、

データバッファからのデータ読み出しの開始ポイントを指示し通信開始時に設定されデータバッファからペイロードデータが読み出される都度更新される読み出インタ、

通信の終了を指示するフラグビット、データバッファからのデータ読み出しの終了ポイントを指示する終了ポイント、を有することを特徴とする、請求項3に記載のATMセル組立装置。

【請求項6】 請求項3に記載のATMセル組立装置において、前記多元テーブルの構成に關し、

多元速度呼毎のデータバッファアドレスを、ペイロード数のデータが蓄積完了する順番に、STMフレーム単位のFIFO論理の待ち行列として形成した待ち行列をSTMフレーム番号順に連結して構成し、

当該多元速度呼に対するATMセル組立毎に、ペイロード数と多元数とデータバッファのペイロードデータ読み出終了アドレス位置データを基に、

当該多元呼用に割り当てられた当該データバッファ領域に次のペイロード数分のデータが蓄積完了する新たなSTMフレーム単位の待ち行列時間位置の予測計算を行い、

待ち行列の並び位置の更新を行うことを特徴とする請求項3に記載のATMセル組立装置。

【請求項7】 請求項3に記載のATMセル組立装置において、多元テーブルのSTMフレーム毎の待ち行列を表示するデータテーブルの構成法に關し、

50 当該STMフレームの待ち行列の先頭の行列要素のデー

タバッファアドレス値と最後尾の行列要素のデータバッファアドレス値と、待ち行列の長さと、からなり、先頭の待ち行列要素の後続待ち行列要素のアドレスを、当該先頭の待ち行列要素のデータバッファアドレスに1対1に対応したセル化テーブルにおけるタイムスロット毎のテーブルにおいて多元チェーン情報として保有させ、

当該最後尾の待ち行列要素のデータバッファアドレスに1対1に対応したセル化テーブルにおけるタイムスロット毎のテーブルでは、当該タイムスロット値を多元チェーン情報として保有させる、ことを特徴とする請求項3に記載のATMセル組立装置

【請求項8】 請求項1に記載のATMセル組立・分解装置において、ATMセルをSTMデータに変換して出力するATMセル分解装置は、

ATMセルのペイロードデータを格納するデータバッファと、

ATMセル到着時にデータバッファに書き込みを行うATMセル書込処理部とATMセルのペイロードデータをデータバッファに書き込む為に必要な書き込み制御情報を有する書き込み制御テーブルを有するATMセルデータ書込制御部と、

STMデータを読み出すSTMデータ読出部と、を有し、

前記データバッファは、STMフレーム毎、タイムスロット毎の周期カウンタのアドレス順にデータを読み出され、

前記ATMセルデータ書込制御部は、多元速度呼のデータを、前記データバッファに格納する際に、書込制御テーブルから読み出した当該多元速度呼に対する割当タイムスロットの先頭を示す番号値と多元数を用いて、STMフレームデータの連続するタイムスロットに対応した多元数個の連続するアドレスのデータバッファに書込制御を行うことを特徴とする請求項1に記載のATMセル分解装置。

【請求項9】 請求項8に記載のATMセル分解装置において、ATMセル書込制御部に関し、呼設定直後に、最初に到着したATMセルのペイロードデータを格納するSTMフレーム番号を、現在読み出しを行っているSTMフレーム番号にATMセル到着の遅延揺らぎ吸収時間に相当するフレーム数を加算したSTMフレーム番号のアドレスからデータバッファへのATMセル分解データの格納を開始するように制御することを特徴とする、

請求項8に記載のATMセル分解装置。

【請求項10】 請求項8に記載のATMセル分解装置に置いて、書込制御テーブルのデータ構成に関し、通信の開始を指示するフラグビット、ATMセルを分解してデータバッファにデータ書込を行う為の開始ポイントを指示し通信開始時に設定されAT

Mセル分解の都度更新される書き込ポインタ、通信の終了を指示するフラグビット、データバッファへのデータ書込の終了ポイントを指示する終了ポインタ、を有することを特徴とする、請求項8に記載のATMセル分解装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、同期多重化積み上げ技術であるSDH(Synchronous Digital Hierarchy)

10を多重化積み上げのハイアラーキとして基幹通信網を構成している既存のSTM(Synchronous Transfer Mode)網と、ATM(Asynchronous Transfer Mode)セル転送技術を基本とする今後のATM網との間で相互接続時に用いられる多重化インターフェースによるATMセル組立・分解装置に関する。

【0002】 とくに、本発明はSTM網側の多重化インターフェースにおいて音声を中心とする64kbp/s情報や64kbp/sの整数倍の多元速度データが混在して多重化されている場合に、任意時点からの呼の発生に対して、ATMセル組立時のセル間の相互衝突を自動的に回避すると同時に、多元速度データに対するATMセル送出タイミングの負荷分散を図る、装置の高速化とメモリ規模の過減を実現しLSI化に適した、STM網とATM網間接続用の多重化インターフェースによるATMセル組立・分解装置に関する。

20【0003】 図29のSTM網とATM網を相互接続する為のATMセル組立・分解装置に適用イメージを示す。

【0004】 図29に示す如く、ATMセル組立・分解装置は、STM網側のTDM交換機とATM網側のATM交換機との間に配置され、通常は、同じ局舎の中で、STM網側の通信サービスのチャネル単位で交換接続を行っているTDM交換機と、通信サービス単位でATMセルの交換を行っているATM交換機の間に必要な通信データ間のフォーマット変換装置として利用される。

30【0005】 又、図30の本発明のATMセル組立・分解装置と適用分野の対応に示す如く、ATMセル組立・分解装置は、図30のAAL(ATM Adaptation Layer)の下位層部分を占めるSAR(Segmentation and Reassembly)機能を、セルの連結管理や誤り制御、上位レイヤの情報伝送フレームのフレーム開始位置ポインタ情報伝達等を行うCS(Convergence Sublayer)機能と協調しながら果たしておりATM通信における基本的な機能要素の一つである。

40【0006】 AAL層のインターフェースの国際標準分類には、ATMに載せる通信データの種類に応じて、AAL1からAAL5まで、4種類のクラス分けが定義されているが、本発明におけるSTM網側からのデータは、いわゆるCBR(Constant Bit Rate)と称する定速度の情報、即ち、同期64kbp/sまたはその整数倍の多元

速度データを対象としており、多重化インターフェースにおけるAAL1相当のATMセル組立・分解インターフェースを実現する装置に分類される。

【0007】

【従来の技術】通信技術は急速に進展しつつあり、旧来技術をベースとする既存通信網から新規技術をベースとする新規通信網に移行していく過程で、既存設備の活用に加えて既存網と新規網の間の相互接続は必須の課題となる。

【0008】現在の基幹通信網は、多重化フレームの積み上げ構成法として、音声1CH相当の64kbpsの整数倍の速度を積み上げる方式をとっており、高次群は155.520MbpsのSTM1または、51.840MbpsのSTM0を基本の束とし、STM1の整数倍で積み上げを行う、網同期によるSTM(Synchronous Transfer Mode)技術を基本とする、SDH(Synchronous Digital Hierarchy)による階層多重化ハイアラーキによって網構築が進められている。

【0009】図31にSDHの多重化ハイアラーキ、図32にSTM1のフレーム構成をしめす。

【0010】図31に示す如く、SDHは各国における既存のスタッフ同期による低次群のPDH(Plesiochronous Digital Hierarchy)網のハイアラーキを吸収しつつ、将来、広帯域サービスを提供するATM網への移行も意識した多重化構成となっている。

【0011】この内、STM1の速度は、SDH網の中では、高次群の多重積み上げや国際接続の際などで最も基本となる多重化速度であり、日本・北米のハイアラーキの場合は、64kbps換算で $24 \times 4 \times 21$ 即ち2016CHを多重化することが出来、将来は家庭までB-ISDNサービスが導入される場合の基本速度としても期待されている。

【0012】また、STM1の基本フレーム(以下STMフレーム)は、図32に示す如くこれまでのトラフィックの中心である音声の帯域の2倍の8kHz(125μs)のサンプリング周期を基本とする構成となっている。バーチャルコンテナVCI部分には、 $260 \times 9 = 2340$ バイト分の情報を1フレームに載せて送ることが出来る。このSTMフレームにおけるバイト単位の基本時間幅を以下タイムスロットと呼ぶ。

【0013】インターネット接続で一般的に使われている28.8kbpsや、56kbpsのデータ転送サービス、ISDNの64kbpsサービス、携帯電話やインターネットで使われている5.6kbps～8kbpsの高能率圧縮音声の通信サービスもこの64kbpsの通信速度に変換されてのせて送られる。また、高速デジタル専用線などもその提供サービスは64kbpsの整数倍の速度を基本として提供されている。

【0014】高速メモリ、処理LSI等の回路・デバイス技術の進展の結果、現在のTDM交換機の中で、ST

M1の多重化フレームを、TDM交換の基本の束として一般的に使うケースも増えている。

【0015】他方、音声に加えて各種マルチメディアサービスを高品質で柔軟に提供する事を目的とし、STM1相当の155.520Mbpsを主な転送速度とするセル転送によるATM(Asynchronous Transfer Mode)技術を基本とする、ATM網の構築も、現在は、ATM専用網を利用したイントラネット等の形で導入が進んでおり、今後は、公衆移動通信網や一般加入者系などへの本格的な導入が期待されている。

【0016】この場合、過渡期に於いては、それぞれの網に接続されているユーザ同士が網を跨がって自由に通信サービスを受けられるようにする為に、既存のSTM網と新設のATM網との相互接続が必要となる。

【0017】即ち、64kbpsをサービス積み上げの基本速度とする既存のSTM網と、155.520Mbpsの速度での53バイトのATMセル転送を基本技術とするATM網を、将来のサービスの発展への対応も十分に考慮しつつ、通信品質も保ちながら、簡単な回路構成で経済的に相互接続を行う技術、LSI化に適した装置の高速化と経済化を実現するATMセル組立・分解装置が求められている。

【0018】以下に、ATMセル組立・分解の基本的な仕組について概要を述べ、従来技術によるATMセル組立・分解装置についてさらに詳細に説明する。始めにセル組立装置について、次にセル分解装置の順で説明する。

【0019】図33のATM網内通信用のAAL1対応ATMセルの構成に、ATMセルのヘッダ部の詳細を含む基本セル構成の説明図を示す。又、図34の64kbps呼を対象としたAAL1用ATMセル組立・分解の仕組み、図35の従来のATMセル組立装置の構成、図36の従来のATMセル組立装置におけるセル組立の説明図に、従来のATM化装置の基本構成図と、ATMセル組立・分解の様子を示す。

【0020】図33で最初の5バイト分は、公知のATMヘッダ部分であり、各々の機能は図に示す如く、VPI(Virtual Path Identifier)は交換ノード間接続における仮想的な通信の束即ちパスの論理的な識別番号で、

VCI(Virtual Channel Identifier)は、このパスの中のどのチャネルを使うかを示す論理的な識別番号、PTI(Payload Type Identifier)はペイロード部分に於けるデータの種別を、CLP(Cell Loss Priority)は、交換接続における輻輳待ち行列形成においてオーバフロー発生時、セルを優先的に廃棄しても良いことをネットワークに指示する為の制御ビット、HEC(Header Error Control)はヘッダ部分の誤り検出と訂正の為の誤り制御ビットを意味する。

【0021】図33に示す如く、AAL1のATMセルでは、ATMペイロード48バイト中、1バイトは、図

28の本発明のATMセル組立分解装置と適用分野の対応で説明したCS機能を果たす為のものである。即ち、ATMセルの受信側での組立時にSTMフレーム同期ポイントの周期的な送信等を指示するCSI(Convergence Sublayer Indication)に1ビット、ATMセルのシケンス番号の連続性を確保しATMセルの順序付けなどを行う為のSC(Sequence Count)に3ビット、CSIとSCの組として定義されるSN(Sequence Number)の伝送誤り修復の為のSNP(Sequence Number Protection)に4ビットで計1バイトがSAR PDUヘッダとして常時使われている。したがって、実際にSTM側からのデータを載せて送れるのは、常時は、47バイト分のSAR PDU(Protocol Data Unit)で示されるペイロードの部分である。

【0022】実際には、STMフレームをATMセルに載せて伝送する上で、冗長度を省く為に、ATMセル上には、STMフレームのセクションオーバヘッド情報等は、のせて送られない。

【0023】この結果、STMフレームと時間位置の同期関係を維持しないで、ATMセル組立・送出を行う64kbpsの整数倍の多元速度呼(以下多元呼)による通信呼に対しては、STMフレーム情報が失われてしまう。

【0024】この為、このような多元呼に対しては、CS(Convergence Sublayer)機能の一環で、ATMセルからSTMフレームに戻す為に、STMフレームのフレーム同期を確保する機能が必要となり、SNで示される8セル周期毎に、STMフレームの先頭位置を示す為のポインタ情報を送る必要がある。この結果、8セル毎に、このポインタ情報でペイロード部の情報がさらに1バイト食われ周期的にSAR PDU部分は、46バイトとなる。

【0025】この結果、実際のATMセル組立・分解は、この周期構造を意識する必要があるが、説明の簡単化の為に、本発明の説明においては、基本的には、ATMセルの組み立て・分解は全て、47バイトのペイロードとして説明を行う。

【0026】尚、46バイトのペイロードが周期的にに入る場合も、本発明において制御パラメータの指定を周期的に変えるだけで、回路等の変更なしに簡単に対応出来ることを最後にまとめて説明する。

【0027】図34の64kbps呼を対象としたAAL1用ATMセル組立・分解の仕組みに示す如く、音声を主とする64kbpsのデータの場合は、必ず125μs周期で1バイトのデータとして送られて来る。ATMセルを組立てる為には、47バイト分の64kbpsデータが必要な為、64kbpsデータが47バイト分到着する迄、図35の従来のATMセル組立装置の構成に示すセル化部のセル化バッファに、到着する64kbpsデータを、その都度バイト単位で蓄える。

【0028】図35で、DMUX部はSTMフレームに多重化されて送られて来た64kbps呼を分離し、各チャネルに対応したセル化バッファにデータを蓄積する。47バイト分の音声データが蓄積された時点で、セル化部のバッファ制御部は、ATMセルのペイロード部に蓄積された47バイト分のデータを載せ、ATMヘッダ部5バイト+CS機能用1バイト+ATM交換機のスイッチ内部処理の為に例えば1バイト、合計7バイトのヘッダを付け、54バイトのATMセルに組み立てた

10 後、コントローラに通知し、コントローラは当該ATMセルをMUX部で選択し多重ATMとしてATM網側のATM交換機に送り出す。

【0029】尚、上記で、交換機の内部処理用の付加バイトを1バイトとしているが、例示であり、交換機内部処理用に、さらに、大きな付加バイト数を用いるケースも見受けられる。この場合、交換機の内部処理用のATMセルサイズも変化する。

【0030】逆に、ATM網側から到着したATMセルのペイロード部には、通信データが47バイト分載つて20 いる為、一旦セル分解バッファにペイロードを1バイトずつ分解して蓄えた後、125μs毎に、STMフレームの対応するタイムスロットで周期的に読みだされ送り出される。

【0031】このATMセルの分解機能はATM音声端末でも同じ機能が必要とされ、図34に示す如く、ATMセルにまとめて送られて来た47バイト分の音声データは125μs毎の1バイトデータとして再生され、復号化されて音声となる。

【0032】上記の説明から、音声を中心とする64kbps情報を対象とした場合には、ATMセル組立の過程で、必ずセル組立て待ちの遅延時間、 $T_c = 47 \times 125 \mu s = 5.875 ms$ が必要となる。

【0033】このATMセル組立待ちの時間長、即ち、STM1の基本フレームを47ヶ束ねたフレームを以下セル化基本フレームと呼ぶこととする。

【0034】次に、図35の従来のATMセル組立装置の構成におけるセル組立の説明図を基に、先ず基本となる64kbpsデータを対象にした、多重化インターフェースによるATMセル組立の様子を説明する。

40 【0035】図35で、STM網側からは、ATM網側に対して、STM1の1フレーム上に、64kbpsの速度相当の1バイトを基本タイムスロットとして、日米の標準的なハイアラーキーでは、既述の如く、最大で2016個の64kbpsチャネル相当分のデータが流れ来る。

【0036】STM網側からの64kbpsチャネル呼(以下64kbps呼)の発生に応じて空きのタイムスロット1ヶが当該チャネルに対して割り当てられる。ATMセル組立装置は、STM1の当該タイムスロットを通じて伝送されてくるバイト単位の64kbpsデータ

50

を、当該タイムスロットに割り当てられたセル化バッファに対して、STMフレーム毎に、順次蓄積する。47バイトのデータが蓄積された47STMフレーム後の時点で、データを読み出し、7バイトのATMヘッダ情報を附加してATMセルに組み立て、ATM網側のATM交換機に送る。

【0037】この通話中に、他の64kbps呼が発生した場合には、別の空いているSTM1のタイムスロットに割り当てられた64kbpsデータが周期的に送られてくるが、この新たに割当てたSTM1のタイムスロットに対応づけられた空きのセル化バッファを使い、同様に、64kbpsデータのATMセル組立が行われる。

【0038】サービス呼は、どの時点で発生するか全くランダムであるから、図36に示す如く、殆ど同時に隣接するSTM1のチャネルで通信が開始された場合には、47フレーム後のATMセル組立時点もオーバラップし、ATMセル間の相互衝突が発生し、ATMセルの並べ替えが必要となる。この為には、複数のATMセル化バッファの組立状況に応じた複雑な制御が必要となる。

【0039】次に、多元呼即ち64kbpsの整数倍Nの呼の場合は、STM1のタイムスロット数は、複数、必要となる。この為、多重化インターフェースによるバイト多重を相互接続インターフェースの基本とする従来技術では、64kbps呼用に使っていない空きのタイムスロットを複数個組み合わせて必要なNヶ分のタイムスロットを確保し、多元呼の通信が行われている。

【0040】この場合、図37の従来の多元呼データに対するATMセルの組立に示す如く、64kbpsの整数倍Nの通信速度の多元速度呼の場合のセル組立て待ち時間は、 $[47/N] \times 125\mu s$ となる。ここで、

$[x]$ は、 x の少数点以下の数値を切り上げた整数を意味する。図37では、多元数N=3の場合を、64kbps情報チャネルと一緒に例示している。

【0041】多元呼では、多元数即ち多元速度が上がる程、STMフレームあたりに送られて来るバイト数も増える為、セル化の為に必要な待ち時間は短縮され、多元数Nが47(伝送速度で3.008Mbps)以上になるとセル組立て待ちの時間は、STMフレーム以下となる。

【0042】多元呼の場合、図38の従来技術による多元呼データのセル化バッファへの書き込み手順フロー図に示す如く、セル化バッファへの書き込みの過程では、STMフレームの複数のタイムスロットに分散して送られて来た同一チャネルのデータを、当該チャネルに対応付けられたアドレスのセル化バッファに書き込む必要があり、一つのタイムスロットのデータが到着する都度、当該タイムスロットが割り当てられたチャネルに対応するセル化バッファのアドレスを知る必要がある。

【0043】このため、図37の従来構成によるセル化バッファへの書き込みの仕組みに示す如く、当該タイムスロットのデータが到着し書き込み制御部に蓄積されセル化バッファに書き込む順番になると、まず、当該タイムスロットに対応して設けられたTS/CH変換メモリから当該タイムスロット番号に割り当てられた当該多元呼用のチャネル番号、次いで、セル化アドレス制御メモリによってこのチャネル番号に対して割り振られたセル化バッファアドレスを知る。

10 【0044】この様にして知ったセル化バッファアドレスに基づいて当該セル化バッファへ当該タイムスロットの受信情報の書き込みが行われる。

【0045】TS/CH変換メモリとセル化アドレス制御メモリは、一体で一つの制御メモリを構成しており、チャネル番号毎のテーブル値として、セル化バッファアドレスや、ATMセル組立に必要なセルヘッダ情報が保持されている。

【0046】したがって、実際には、タイムスロットに対するセル化バッファアドレスの読み出しは1サイクルで行われる。

20 【0047】この結果、タイムスロット番号に対応したセル化バッファアドレスの読み出しと、このセル化バッファアドレスに対応したセル化バッファへの書きの2サイクルの処理が必要となる。

【0048】STM1におけるタイムスロット時間長は、 $8/155, 520\text{Mbps} = 51\text{ns}$ であり、この時間長の間に、図38の従来技術によるSTMデータのセル化バッファへの書き込み手順フロー図のフローを、図39の従来構成によるセル化バッファへの書き込みの仕組みを使って実行する為に、割当タイムスロットに対するセル化バッファメモリのアドレス読み出しとセル化バッファメモリに対する書き込みの2回のアクセスサイクルが必要となる。

30 【0049】この速度は現在のCMOSメモリでもシビアであり、多重化インターフェースの如く、多数のバッファメモリが必要なセル化組立装置では、LSI規模やメモリコストの増大、消費電力の増大の要因となってい

る。

【0050】次に、従来のATMセル分解装置について

40 説明する。

【0051】図40の従来のATMセル分解装置構成例に、従来技術によるATMセル分解装置の具体例を示す。

【0052】図40のATMセル分解装置で、セル書き込み制御部は、ペイロード抽出用バッファを兼ね、ATMセルのペイロード部をSTMフレームのタイムスロット番号に対応したアドレスを有するセル分解用バッファにバイト単位で書き込む際の書き先アドレスの指定制御を行う。書き込み制御テーブル部は、セル書き込み制御部で上記書き込み制御を行う為に必要な書きアドレス指定制御用の制御情

報を格納する。

【0053】セル分解用バッファは、ペイロードデータをSTMフレーム毎に割り当てられたタイムスロットのアドレスに多元数ずつ分解して一時格納する。

【0054】STMデータ読出制御部は、セル分解用バッファからSTM用タイムスロットデータをアドレス順に読みだし、図32のSTM1のフレームの構成に示したセクションオーバヘッドなどの所定のデータを追加し、STMフレームとして送り出す。

【0055】多元呼のATMセルが到着した時に、そのATMセルのチャネル番号VPI/VCIに対応したアドレスの書き制御テーブルを参照し、当該ATMセルの多元度分の、当該ATMセルを分解すべき宛て先の、STM1のタイムスロット番号を知り、当該ATMセルのペイロード部のデータを、STM1フレームの各チャネル番号に対応したアドレスのセル分解用バッファに蓄積する。

【0056】例えば、多元数3の場合は、セルデータをSTMフレームのタイムスロット順に並んだバッファメモリからなるSTMデータ読出制御部に格納する前に、格納すべきSTMフレームの対応するタイムスロット番号TS#として、TS#5、TS#90、TS#150を書き制御テーブルから知り、セル分解用バッファのタイムスロットに対応したアドレスに順次書き込む。

【0057】この後、セル分解用バッファをTS#アドレス順に周期的に読み出すことによって、STMフレームに多重化されたデータをSTM網側に送りだす。

【0058】STMデータ読出部は、STMのチャネル番号順のアドレス順にセル分解用バッファ部を読み出しながら、STMフレームのセクションオーバヘッドなどの必要な付加処理を行ってSTMデータとして送り出す。

【0059】これによって、STMフレーム周期で繰り返す元のデータが復元されて、STM網側のTDM交換機に送られる。

【0060】すなわち、従来例によるATMセル分解装置では、ATMセル分解用に用いられるバッファメモリからバイト単位で所定のSTMフレームへ分解するためにはバッファメモリにデータの読み出し書きを行ふ為に許された時間は、STM1フレームの1バイト相当分の時間即ち51nsであり、この時間に、異なるメモリに対する読み出しと書き込みの2サイクルの処理を行う必要があり、ATMセル組立の場合と同様に、メモリとして高速メモリが必要となり、メモリ規模増大、消費電力の増大、装置のコストアップの要因となっていた。

【0061】

【発明が解決しようとする課題】上記に説明した如く、従来構成技術によるSTM網とATM網間の接続に必要な従来構成によるATMセル組立・分解装置に於いては、

1). 任意の時点で発生し、消滅する音声を中心とする64kbps呼データと多元速度データの多重化インタフェースによるATMセルの組立処理に於いて、ATM化フレーム上でのATMセル同士の衝突回避の為の複雑な制御が必要となっていた。

【0062】2). 又、多元呼が多重化されている場合には、当該多元呼に対する割当タイムスロットとセル化バッファ又はセル分解用バッファのアドレスとの対応をとる為に、ATMセル組立時の書き込みアドレス読み出しとデータの書き込み、及び、セル分解時にも書き込みアドレス読み出しとデータの書き込みの2サイクルの処理を1タイムスロット分の51nsで行う必要があり、メモリ規模の増大やメモリの高速化の為の消費電力増大などの問題を生起していた。

【0063】そこで、本発明の目的は、下記の課題を解決することである。

課題(1). 多元呼に対してはSTMフレームの1タイムスロット51nsの間に2回のサイクルでデータを読み書き処理をしないで済み、高速メモリを不要とする。

20 課題(2). メモリ規模の削減による消費電力の削減を実現する。

課題(3). STM網とATM網の接続時に於いて、ATMセル組立時におけるATMセル同士の衝突を自動的に回避し、衝突回避の為の複雑な制御を不要とする。

課題(4). 多元呼に対するATMセルのバースト発生を抑え、ATM網に対する負荷の分散化を図る。

【0064】本発明は、上記課題を解決し、LSI化に適したATMセル組立・分解装置を提供する。

【0065】ATMセル組立装置では、上記の課題

30 (1)～課題(4)の解決手段、ATMセル分解装置では、とくに課題(1)～課題(2)の解決手段が必要となる。

【0066】

【課題を解決するための手段】まず、本発明の基本的な着想ポイントに付き、簡単に説明する。

【0067】課題1～課題4を解決するために、従来技術の問題点を再度整理すると、

(1). STMのタイムスロットが複数必要な多元呼の場合には、従来技術ではバイト多重のSTMフレーム構成を前提としている為、同じチャネルのデータがSTMフレーム中の複数の離散したタイムスロットを使って送信及び受信が行われる。

【0068】この結果、ATMセル組み立ての場合もATMセル分解の場合も、一度この離散したタイムスロット位置に相当するデータバッファ(セル化バッファ、セル分解用バッファ)のアドレス位置を確認した後でないと、データバッファへの書きが行えない。

(2). ATMセル組み立ての場合には、STMフレーム側から送られて来た通信データがATMセル組み立て用のペイロード数分だけ蓄積される都度、ATMセルの

組み立てを行っている。

【0069】従って、ATMセル組み立て時点が、通信データの開始時点によって定まり、隣接してきたSTMデータに対するATMセルの衝突回避操作が必然的に要求され、回避処理が複雑となっている。

【0070】上記、(1)、(2)の問題点を解決する事によって、課題1～課題3が解決され、その際、課題4を含めて解決を図ることが、ATMセル組立装置のATM網側との接続性能維持上から要求される基本要件となる。

【0071】問題点(1)を解決する為に、本発明のATMセル組立・分解装置では、STM網との多元呼の送信・受信の接続インターフェースに関しては、従来技術の如く多重伝送インターフェースを前提としたSTMフレーム中のバイト単位の離散した多元数個のタイムスロットを使うのではなく、STMフレーム中の多元数個の隣接したタイムスロットを使うことにする。

【0072】このように多元数個のタイムスロットが必要な多元呼に対しては、STMフレームの連続するタイムスロットを使うように定めることによって、多元呼が使っているタイムスロットは、先頭のタイムスロットから連続した多元数個のタイムスロットであることが最初から明らかとなる。

【0073】この結果、従来技術が必要としていた、STMデータをセル化バッファに書き込みペイロードデータを蓄積する場合のセル化バッファアドレス参照、ATMセルを多元数のバイト単位で分解してセル分解用バッファに書き込む場合のセル分解用バッファアドレス参照の処理が不要となる。

【0074】これによって、バッファメモリへのデータ書き込は1サイクルで行う事が可能となり、高速メモリは不要となり、メモリ規模も削減出来、課題(1)～課題(2)の解決を図ることができる。

【0075】次に、問題点(2)を解決する為に、本発明のATMセル組立装置では、ATMセルの組立を、従来技術の如く、通信呼の開始時点を基準にし、ペイロード用のデータがセル化バッファに蓄積される不特定の時点を待って受動的に行う方式でなく、予め定めたタイミングで能動的に行う方式にする。

【0076】即ち、本発明では、STMフレームのペイロード数倍即ちSTMフレームの47倍のフレームをATMセル組立の為のセル化基本フレームとし、このセル化基本フレームを、ATMセルの時間幅で時間量子化したセルスロットを定め、このセルスロットのタイミングを使って、ATMセルの組立・送出を行う。

【0077】即ち、ATMセル組立処理は、時間量子化されたセルスロットを使って、セルスロットの時間順に、セルスロットに対応するセル化バッファのデータを必要数分読み出すことによって行われる。

【0078】このセルスロットの使用ルールについて、

簡単に述べると、64kbps呼の如く、音声などリアルタイム性の要求される通信呼に対しては、ATMセル組立・送出は、セル化基本フレームの周期で繰り返すSTMフレームの当該通信呼に対応するタイムスロット番号と1対1に対応した番号のセルスロットを使って行われる。

【0079】これによって、ATM網側に送出されたATMセルは、STM網から送られて来たSTMデータと同じ時間周期性を維持することが出来、ATMセル組立の過程でも遅延揺らぎなどは発生せず、受信端末において、元の音声信号等に戻した場合の信号対雜音比の劣化を最小限に抑えることが可能となる。

【0080】又、リアルタイム性の要求されないデータ通信などに使われる多元呼に対するATMセル組立・送出は、前記リアルタイム性の要求される通信呼が使っていないセルスロットを多元呼が共用し、セル化バッファにペイロードデータが蓄積された時間順の多元呼が使うルールとする。

【0081】このようなルールによる事によって、このセルスロット以外では、ATMセルの組立・送出は行われない為に、ATMセルの相互衝突は、自動的に回避され、複雑な衝突回避処理は不要となり、課題(3)の解決が図られる。

【0082】また、多元呼用に割り当てられたセルスロットを全ての多元呼が共用して使い、セル化バッファにペイロードデータが蓄積完了した順番の多元呼の順に、ATMセル組立・送出を行う事により、相互衝突回避が行われると同時に、同じ、多元呼に対するATMセルの発生時点の分散化も実現される。これによって、課題(4)の解決も図られている。

【0083】次に、説明図を参照しながらさらに詳細な説明を行う。

【0084】始めにATMセル組立装置ついでATMセル分解装置の順に説明する。

【0085】本発明のATMセル組立装置に関し、図1の本発明のATMセル組立装置の原理構成図、図2の本発明のSTMフレームとセル化基本フレームの関係、図3の本発明のSTMフレームのタイムスロットとセル化バッファとセルスロットの対応関係、図4の本発明のATMセル組立の基本手順を示し、ATMセル分解装置に関し、図5の本発明のATMセル分解装置の構成、図6の本発明のATMセル分解の基本手順に本発明の基本原理を示す。

【0086】まず、図1～図6に関し、それぞれの概要について簡単な説明を行う。

【0087】図1において、STM書き出し制御部は、STMデータからセクションオーバヘッド等の余分な情報を除いて、ペイロード部分のタイムスロットデータをSTMフレーム順、タイムスロット番号順に、セル化バッファの対応するアドレスに書き込みを行う。

【0088】セル化バッファは、STMフレームカウンタに応じた周期的な番号順、タイムスロット番号順にアドレス付与を行ったバッファメモリで、セル組立用のペイロードを一時的に蓄積する。

【0089】ATMセル組立部は、セル化バッファから、一定の読み出しルールに従って、ATMセル用のペイロードデータを読み出し、ATMセルヘッダを付加して、ATMセルとして組立・送出を行う。

【0090】セル化テーブルには、ATMセル組立部が対象とするセルスロットに対応するSTMデータのタイムスロットに関し、通信開始情報、多元数等の情報やATM組立の為のATMヘッダ情報等を保有しており、ATMセル組立部は、この情報を基に、セル組立の制御を行う。

【0091】多元テーブルは、多元呼に対するセル組立準備が完了した順番のセル化バッファアドレスが論理的なFIFO (First In First Out) 待ち行列を構成しており、セルスロットが多元呼用に割当てられている場合に、この多元テーブルを利用することによって、ATMセル組立部は、待ち行列の先頭のセル化バッファアドレスのデータをATMペイロードとして簡単に読みだして来ることが出来るようになる。

【0092】μPIN部は、STM交換機から各通信チャネルに対応した通信の開始、終了、使用タイムスロット、多元数情報などの必要なトライフィック情報を受け取り、セル化テーブルの更新や多元テーブルの更新制御を行う。

【0093】又、タイミング作成部は、STMフレームカウンタクロックやタイムスロットカウンタクロック、セル化基本フレームクロックやセルスロットカウンタクロック、セル化バッファからのペイロードデータの読み出に必要な読み出クロック等、各部の機能実現に必要な各種クロックの発生を行う。

【0094】これらのクロックを使って、セル化バッファにSTMデータを書き込み、ATMセル組立部がセル化テーブル、多元テーブルの情報を基に、セル化バッファを読み出し、ATMセル組立が行われる。

【0095】次に、図2の本発明のSTMフレームとセル化基本フレームの関係は、セルスロットとセル化基本フレーム、STMフレームの関係、及び、本発明で採用しているセルスロットの割当て実施例を示す。

【0096】図2から、セル化基本フレームには、 $9 \times 270 \times 47 / 54 = 2115$ に相当するセルスロットがあることが分かる。又、STM1のフレームには、既述の如く、日米のSTM多重化ハイアラーキでは 64 k bps 換算で、2016チャネル分のデータが送られて来る。

【0097】したがって、図2に示す如く、STM1の1フレームあたりに多元呼の共用利用を意図して1ヶの空きセルスロットを設けたとしても、さらに、余りのセ

ルスロットを多元呼用の共用空きスロットとして使い、多元呼に対するATMセル組立待ち時間を短縮する事が出来る。

【0098】図3の本発明のSTMフレームのタイムスロットとセル化バッファとセル化スロットの対応関係は、STMフレームのタイムスロット番号TS#とセル化バッファのアドレス番号CB#、セル化基本フレームのセルスロット番号CS#との対応関係を示す。

【0099】図3に示す如く、STMフレームのタイムスロット番号TS#とセル化バッファのバッファアドレス番号CB#とは、1対1に対応させる様にし、セル化基本フレームにおいて 64 k bps 呼の場合は、ATMセルスロット番号CS#も又セル化バッファアドレス番号CB#と1対1に対応させる。

【0100】また、図3で例示した多元呼用に割り当てられた多元呼用共用セルスロットC2、C3は、全ての多元呼が共用して使うこととする。

【0101】従って、以下では、STMフレームのタイムスロット番号をセル化バッファアドレス番号の代わりに使うこととする。

【0102】図4の本発明のATMセル組立の基本手順は、通信開始直後から、ATMセル組立迄の基本手順を示す。

【0103】図4は、特定の通信呼に着目して、ATMセル組立手順を通信開始から終了まで追った様子をしめす。また、図4で、 64 k bps 呼の場合には、セル化テーブルの参照は行うが、多元テーブルの参照は不要のため行われない。

【0104】セル化バッファへSTMフレーム毎タイムスロット毎に周期的に書き込まれたデータを、セルスロットの順番に、セルスロットに対応するタイムロットのデータの属性に応じて、セル化テーブル、多元テーブルを参照しながらペイロードデータの読み出し制御、ATMセル組立・送出が行われている。尚、さらに詳しい説明は実施例で行う。

【0105】図5の本発明のATMセル分解装置の構成で、ATMセル書き制御部は、ATMセルを書き制御テーブルに従ってSTMフレームのタイムスロット順のアドレスバッファに多元数の単位で分解して書き込みを行う。STMデータ読み出制御部は、この書き込まれたデータをSTMフレーム周期、タイムスロット周期で順次周期的に読み出し、STMフレームに組み立てを行う部分である。

【0106】図6の本発明のATMセル分解の基本手順は、図5の構成によって、ATMセル分解を行う基本手順を示す。

【0107】図6は、特定の通信呼に着目して、ATMセル分解手順を通信開始から終了まで追った様子を示す。さらに詳細な説明は実施例で行う。

【0108】以下に、課題の解決手段について詳細説明

を行う。

【0109】先ず、本発明のセル組立装置による、課題(1)、課題(2)を解決する手段について説明を行う。

【0110】図1の本発明のATMセル組立装置の原理構成図で、STM書込制御部は、STMデータを一時蓄積し、セル化バッファにSTMフレームのタイムスロット毎の情報をバイト単位でタイムスロットの順に順次周期的に蓄える。

【0111】この際、図3の本発明のSTMフレームのタイムスロットとセル化バッファとセルスロットの対応関係に、多元数N=2の場合のタイムスロットの構成を示した如く、多元呼は、必ず、多元数個の連続したSTM1のタイムスロットを使って送られて来るものとする。

【0112】これは、従来技術の多重伝送によるバイト多重インターフェースに替わって、交換機接続で通常使われる、チャネル多重インターフェースを接続インターフェースとすることを意味する。

【0113】これによって、多元呼の場合でも、セル化バッファへのデータ書込は、多元数に応じた連続するアドレス領域に、STMフレーム毎に周期的に行けば良く、アドレス変換メモリを参照しに行く手間を省くことが出来、書込の高速化が図れ、同時にアドレス変換メモリが不要となり、メモリ規模の削減が可能となる。

【0114】また、多元呼のデータは、連続したバッファメモリに蓄積されている為に、セル組立時にも、実施例に詳細を示す如く、比較的簡単な読み出しルールで、データの読み出しが可能となる。

【0115】次に、セル組立装置について、課題(3)のATMセルの相互衝突を自動的に回避する解決手段について説明する。

【0116】セル組立を行うタイミングは、図2に示す如く、セル化基本フレーム中のセルスロットのタイミングで行うようにATMセル組立の時刻を量子化し、この量子化されたセルスロット以外のタイミングでは、ATMセルの組立・送出を行わないようとする。

【0117】このように予めセル組立のタイミングを強制的に定めておく事によって、従来技術で問題となっていた、セル組立時のセルの相互衝突は自動的に回避され、ATMセルの衝突回避の為の複雑な制御処理が不要となる。

【0118】最後に、セル組み立て装置に於いて、課題(4)の多元呼に対するATMセルのバースト発生を抑え、ATM網に対する負荷分散を図る解決手段について述べる。

【0119】課題(3)の解決手段と課題(4)の解決手段とは、密接に関連している為、課題(3)の解決手段について、さらに、詳細な補足説明を行う。

【0120】課題(3)の解決手段の説明に於いて、実

際には、セル化基本フレームの量子化された各セルスロットでATMセルの組立・送出を行うには、当該セルスロットとSTMフレームのタイムスロット、セル化バッファ間の対応付け、及び、セル化バッファからどのようなルールで、データを読み出すかを規定する必要がある。

【0121】本発明では、図2に示す如く、STMフレームのタイムスロット、セル化バッファ、セルスロットは、順番に、1対1に対応付けが行われている。

10 【0122】但し、セルスロットの使用ルールは、64kbps呼と多元呼で異なる。

【0123】即ち、リアルタイム性の要求される音声を主に使うケースが多い64kbps呼に対しては、STMフレームの特定のタイムスロットを使ってSTMフレームの周期で送られて来たデータは、セル化基本フレームの周期で繰り返す、対応する特定のセルスロットを使ってATMセルに組み立て送り出すようにする。

20 【0124】これによって、STMフレームの64kbps呼と同じ時間周期性を保持したまま遅延挿らぎを発生させることなく、ATMセル組立・送出を行うことが出来、リアルタイム性を維持することができる。

【0125】この場合、通話開始直後に於いては、最初のセルスロットに於いて、まだ、対応するセル化バッファに、47バイト分のデータが蓄積されていない状態で、セル化バッファからデータを読み出す必要がある為、当該最初のセルスロットの時点で、過去のどのアドレスからセル化バッファアドレスを読み出せば良いかを指示する読み出ポインタ情報を、通信開始直後の時点で、図1の本発明のATMセル組立装置の原理構成図における、セル化テーブルに書き込んで置き、このセル化テーブルからのポインタ情報によって読み出し開始点を決めることとする。

30 【0126】この処理は、図1のμPINIF部が交換機側から得た信号情報を基に行われる。

【0127】尚、近年、インターネットのマルチメディア応用の進展と共に、デジタル動画像通信などに対するニーズも増えつつあり、今後、音声を中心とする64kbps呼に対してだけでなく、多元呼でもリアルタイム性の要求されるアプリケーションが広がる可能性がある。

40 【0128】この場合でも、本発明における64kbps呼に対する制御処理の考え方を拡張して対応する事が可能である。

【0129】すなわち、このようないリアルタイム性が要求される多元呼に対しては、当該多元呼が使っている連続する多元数個のタイムスロットに対応した多元数呼のセルスロットを連続して使う形とすれば良い。

【0130】この場合は、同じ多元呼に対するATMセルが統一して発生するが、多元数が2~3に増えただけでも、多元数1と比べて、動画像通信における改善効果は著しい為、ATM網に対するATMセルのバースト発生

を比較的小さな範囲に抑えながら、動画像通信などの広帯域性が必要なリアルタイム通信サービスにたいする通信品質改善効果を高めることができる。

【0130】他方、データ伝送に使われる場合が多くデータ量も多く従って多元数Nも大きな多元呼のデータをATMセルに組み立てる場合、課題(4)を解決するのに、セルスロットの使用ルールとして、次の2つのルールを用いることとする。

(1). ルール1；次のセルスロットを多元呼用の共用のセルスロットとして使う。

【0131】空きのスロット、例えば、図2の本発明のSTMフレームとATMセル化基本フレームの関係に示す、セルスロット番号CS#の43と44の間、87と88の間の空きスロット、

64 kbps呼が使っていない無通話中のセルスロット

多元呼用に割当られたタイムスロットに対応して1対1に割当が決められた通話中のセルスロット即ち、
、
、
のセルスロットは、64 kbps呼の場合の如く、特定のタイムスロットに対応した多元呼が占有して使うのではなく、全ての多元呼が、共用して使うように定める。

(2). ルール2；多元呼用のATMセル組み立て・送り出しは、ATMセルペイロード用に47バイト以上のデータが蓄積されセル組み立て準備が完了した多元呼の時間順に、ルール1で定めた多元呼用の共用セルスロットを使って行う。

【0132】ルール1、ルール2を採用する理由は、以下の通りである。

【0133】即ち、多元呼の場合に、仮に64 kbps呼の場合と同じルールを使って、多元呼のタイムスロットに1対1に対応したセル化バッファからのデータを対応するセルスロットにそのまま対応するATMセルを組立て送出することにすると、多元数に対応した数の連続するセルスロットに、同じ、多元呼に対するATMセルが連続してバースト的に発生する。

【0134】この為、ATM網側でのQoS (Quality of Service) 制御によって、シェーピング制御による遅延ゆらぎの増大やトラヒックの輻輳時においてセルの強制的な廃棄などの制約を受け易くなる。

【0135】又、このように同じ多元呼に対するセルスロットをまとめる考え方をとると、図35の従来の多元呼データに対するATMセル組立の説明図で示した如く、多元数が大きくなる程、多元呼のセル組立待ちの時間が大きくなり組立待ちによる遅延時間が大きくなる。

【0136】これに対して、このルール1、ルール2を使って多元呼に対するATM組立を行うことによって、連続するセルスロットを特定の多元呼が占有してATMセルの組立・送出が行われることはなくなり、47バイト分のデータが蓄積された多元呼の順に、多元呼の共用

セルスロットを使って、順次ATMセルを送り出すことが出来る。

【0137】この結果、多元数の大きな特定の多元呼に対してもATMセルの発生のタイミングを分散させることが可能となる。これによって、ATM網側に負担をかけないATMセルの組立、送出が可能となる。

【0138】次に、ルール1、ルール2を用いて、多元呼に対するATMセル組み立てがどのように行われるかを説明する。

10 【0139】図1の本発明のATMセル組立装置の原理構成図に於いて、ATMセル組立部は、セル化基本フレーム内のセルスロット毎に順次、セルスロットクロックカウタが示す番号のアドレスのセル化テーブルを見に行き、このセルスロットに対応するSTMフレームのタイムスロットがどのような種類のデータによって使われているかを確認する。

【0140】即ち、先ず、当該セルスロットに対応したタイムスロットが使用開始されたのかどうか、使われている場合は、64 kbps呼用に使われているのか多元呼用に使われているのか、などの情報を得る。

【0141】このセル化テーブルの情報に従って、64 kbps呼の場合は、セルスロット到来時に、前記の読み出ポインタを読み出開始点とし、対応するセル化バッファから必要なペイロードデータを読み出し54バイト幅の当該セルスロットにATMセルを組み立てて送りだす。

【0142】多元呼の場合は、図4の本発明のATMセル組立の基本手順に示す如く、ATMセル組立部は、セル化テーブルの参照に加え、セル化準備の整っているセル化バッファアドレスの情報を待ち行列の順番に保持している多元テーブルの参照も行う。

【0143】先ず、ATMセル組立部は、セルスロット番号に対応するセル化テーブルアドレス番号即ちSTMのタイムスロット番号に対応するアドレスのセル化テーブルのデータを見て、ルール1によって、多元呼用の共用スロットとして使える事を確認した場合には、無条件に、多元テーブルを参照しに行く。

【0144】多元テーブルからは、多元呼用の共用セルスロットの時点で、セル組立準備が完了している待ち行列の先頭待ち順のセル化バッファアドレス情報を得る。

40 【0145】次いで、ATMセル組立部は、このセル化バッファアドレス番号、すなわち、STMフレームのタイムスロット番号に対応するセル化テーブルアドレスから、セル化バッファの読み出し開始位置を示すポインタ情報、ATMヘッダ情報、多元数などセル組み立てに必要な情報を得る。

【0146】ATM組立部は、このようにして得た、セル化バッファの読み出し開始位置を示すポインタ情報と多元数に応じて、セル化バッファから47バイト分のペイロードデータを、当該多元呼に対応した一定のルールで読み出し、ATMヘッダを加えて、ATMセルに組み

立て、ATM網側のATM交換機に送り出す。

【0147】尚、上記のATMセル組立処理は、セルスロットの時間幅即ち $51\text{ n s} \times 54 = 2754\text{ n s}$ で行えれば良い為、とくに、処理速度上から問題は発生しない。

【0148】以上述べた如く、本発明のATMセル組立装置の提供する解決手段によって、課題(1)～課題(4)が解決される。

【0149】次に、本発明のATMセル分解装置による、従来課題の解決手段を説明する。

【0150】ATMセル分解装置に於いては、従来課題の内、とくに、課題(1)、課題(2)の解決手段の実現が望まれている。

【0151】図3の本発明のSTMのタイムスロットとセル化バッファとセルスロットの対応関係に例示した如く、本発明では、多元呼の場合はSTMフレームの連続する多元数個のタイムスロットを使って、STM網との接続インターフェースとする事にしている。

【0152】図5の本発明のATMセル分解装置の構成において、ATMセル書き制御部はATMセルが到着すると、書き制御テーブルを参照して、ATMセルのヘッダ部のATMアドレス情報に対応した書き込み制御テーブルから、当該ATMセルのペイロードとして送られて来た多元呼のSTMデータに対するSTMフレームの先頭のタイムスロット番号と多元数を知る。

【0153】当該STMフレームの先頭のタイムスロット番号が分かれば、先頭のタイムスロット番号のアドレスから多元数だけ連続したタイムスロットアドレス番号のセル分解バッファにATMセルのペイロードを書き込み、さらに、残されたATMペイロードのデータを順次、多元数ずつ分解して、以降のSTMフレームのタイムスロットに対応するセル分解バッファに書き込み、ATMセルのペイロード部の読み出しデータがなくなるまでこの操作を行う。

【0154】STM読出制御部は、ATMセルの到来する遅延ゆらぎに対して、読み出しサイクルの開始時間が、書き込みサイクルの時点と逆転しないように、余裕を見たタイミング遅延をとって、セル分解バッファから、順次、STMフレーム、タイムスロットの順に、周期的にSTMフレーム用のペイロードデータを読み出し、オーバヘッド情報を付加して、STMフレームに組み立て、送り出す。

【0155】図6の本発明のATMセル分解の基本手順は、図5の構成に従って、ATMセル分解を行う手順をしめす。

【0156】図5で説明した如く、ATMセルの到着の遅延揺らぎによって、書き込みと読み出しのタイミングが逆転しないように読み出し開始時点の書き込み開始時点に対するタイミングマージンをとるようにする必要がある。

【0157】また、ATMセルの多元数分ずつ分解する場合に、ATMセルの到着の都度書き込み開始点のアドレスの連続性を保つようにする必要がある。

【0158】この間、本発明のセル分解装置では、従来技術の如く、セル化分解バッファへの書き込みアドレスを、アドレス変換用メモリへタイムスロット毎に、その都度参照しに行く必要はなく、これによって、課題(1)の高速メモリの不要化と課題(2)のメモリ規模の削減を達成している。

10 【0159】次に、実施例を参照しながら、本発明の更に詳細な説明を行う。

【0160】

【発明の実施の形態】ATMセル組立装置、ATMセル分解装置の順に説明を行う。

1. 先ず、ATMセル組立装置について説明を行う。

【0161】図7のセル化バッファの構成、図8のセル化テーブルの構成、図9の多元テーブルの構成、図10の多元チェーン情報の更新例、図11の本発明のATMセル組立の詳細フロー図、図12の64kbps呼対応セル化バッファの書き込みと読み出しイメージ、図13のセル化バッファへの多元呼の書き込みと読み出しイメージ、図14の多元数Nとセル組立準備完了時点のSTMフレーム番号シーケンス計算例、図15の多元数Nとセル化バッファアドレス待ち行列例、図16の通信開始直後の手順図、図17の第2セル以降の組立手順図、図18の通信終了時の手順、図19のセル化バッファへの書き込みと読み出し手順の詳細フロー図、図20の本発明のATMセル組立装置の詳細な機能情報関連図を基に説明を行う。

30 【0162】説明は、本発明の特徴的な構成要素である1)図7のセル化バッファ、2)図8のセル化テーブル、3)図9の多元テーブルの順に、他の関連図面も参照しながら行い、4)最後に図19、図20を使ったまとめの説明の手順で行う。

【0163】実施例の実現ポイントは、セル化バッファへの書き込みと読み出しを多元数に応じて所定のルールで正しく行うことである。

【0164】以下順を追って図面を参照しながら説明する。

40 1) セル化バッファ

図7のセル化バッファの構成にしめす如く、セル化バッファは、STMフレームカウンタによって生成するSTMフレームの周期番号に対応する列方向のアドレス番号FR#と、STMフレーム内のタイムスロットカウンタによって生成されるタイムスロット番号TS#に対応する行方向のアドレスの組合せによって指定されるアドレス毎に、バイト単位で、STMフレームからのタイムスロットデータを順次書き込む。

【0165】セル化バッファのSTMフレームアドレスの周期数としては、ペイロード数の47以上で、データ

の書込と読出間でタイミング余裕のある数値であれば良いが、クロックカウンタ構成上の容易さから、64従つてそのカウンタ値として0～63の値を選んでいる。

【0166】同様に、タイムスロット番号TS#は2048従つてカウンタ値として0～2047の値としている。この内、実際に使われるのは、既述の如く、日米のハイアラーキーでは、STM1フレーム構成の多重化数2016に対応する、0～2015迄のアドレスである。

【0167】格納データには、図7に示す如く、内部処理の信頼度を上げる為にパリティビットを追加しても良い。

【0168】セル化バッファへのSTMデータの書込は、到来したSTMフレーム番号FR#に対応するセル化バッファの列方向アドレスを固定したまま、行方向のタイムスロット番号順にシーケンシャルに行われる。次のSTMフレームでは、フレーム番号を1つ増やして、次の列のセル化バッファに対して、同様に行方向のタイムスロット番号順に同じようにして書込処理を行う。以下、このサイクルを繰り返す。64回目のSTMフレームで、丁度、一巡して、次の新たなデータが、前に書き込んだデータの上から書き込まれる。従つて、セル組立の為のデータ読出は、STMフレーム番号が一巡する前に行う必要がある。

【0169】逆に、セル化バッファからのデータ読み出しのタイミングがデータ書き込みのタイミングを追い越さないようにする必要がある。

【0170】又、セル化バッファには、図1の本発明のATMセル組立装置の原理構成図におけるSTM書込制御部が、STMフレームからセクションオーバーヘッドなどの余分な情報は取り除き、ペイロードに相当するデータのみの書込処理を行っている。

【0171】図12の64kbps呼対応セル化バッファへの書き込みと読み出しイメージと図13のセル化バッファへの多元呼の書き込みと読み出しイメージに、セル化バッファへのSTMデータの書き込みとATMペイロード読み出しのイメージを示す。

【0172】64kbps呼に対しては、タイムスロット番号即ち行を一定にしたまま、書込と読み出しが行われ、多元呼に対しては、使用している多元数個の連続するタイムスロット番号相当の複数の行にわたって書込みと読み出しが行われ、とくに、読み出しの場合は、読み出しポインタ位置が、オフセットのずれとなって現れることが分かる。

2) セル化テーブル

図8のセル化テーブルは、本発明で、多元テーブルと共に、ATMセル組立処理において中心的な役割を果たしており、他の関連図面を参照しながら、詳細な説明を行う。

【0173】図8のセル化テーブルの構成で、テーブル

は通信呼のチャネル毎のタイムスロット番号のアドレス順に構成されている。尚、多元呼のチャネルの場合は、先頭のタイムスロットから多元数個のタイムスロットを使う事が明白な為、最初のタイムスロット番号のセル化テーブルアドレスに必要な情報が代表して書き込まれている。また、図中で括弧内の数値はビット数を表す。

【0174】図8で、チャネルデータENは、当該タイムスロットTS#が、通信に使用中か不使用中かを示す

10 情報で、通信中の場合は1、不使用中の場合は0で、1ビット、多元数Nは、多元数1の64kbps呼も含めた多元数を示し11ビット、ATMデータは、ATMセル組立の場合のヘッダ情報として必要な、VPI、VC1、PTI、CLPを表し、32ビットである。

【0175】又、AALデータのSNは、図33のATM網内通信用のAAL1対応ATMセルの構成で説明した如く、CSI用1ビットとSC用3ビットの計4ビットで、ATMセルの連続性保証管理及び、STMフレームに組立直す場合に、STMフレーム位置情報の伝送を20 指示する制御情報の役目を果たす。

【0176】制御情報のFCA(First Cell Arrival)の1ビットはフラグビットで、常時は0の値を取り、交換機からの通信開始情報によって、通信開始直後のSTMフレームにおいて最初は1に設定される。

【0177】同様に、LCA(Last Cell Arrival)の1ビットは、常時は0の値を取り、通信終了時のSTMフレームにおいて、交換機からの通信終了通知情報によって、1に設定される。

【0178】FCA、LCAは、EN、Nと共に用いて、通信開始、定常状態、通信終了を指示し、その値の組合せに応じて、次の時系列に応じた処理を行う。

(1) . 最初のセルに対する処理 : FCA = 1、LCA = 0 設定時

(a) . セル組立開始の準備処理、

(b) . 最初のセル組立処理、

(2) . 第2セル以降の後続セル組立処理 : FCA = 0、LCA = 0 時

(3) . 最終のセルに対する処理 : FCA = 0、LCA = 1 設定時

40 (a) . セル組立終了の準備処理

(b) . 最終のセル組立処理

の3つの状態処理を時系列順に行う必要がある。以下、順次、説明を行う。

【0179】上記の処理は、64kbps呼と多元呼とで、図12の64kbps呼対応セル化バッファの書き込みと読み出しイメージと図13のセル化バッファへの多元呼の書き込みと読み出しイメージに示す如く、セル化バッファの書き込みと読み出しルールが異なること、セルスロットの使用ルールが異なるため、それぞれ、異なった処理を行う必要がある。従つて、各手順毎に64kbps

呼、多元呼毎に分けて説明を行う。

【0180】尚、図11の本発明のATMセル組立の詳細フロー図に、FCA、LCAの変化と共に、時系列順に、ATMセル組み立ての準備から、定常状態でのATMセル組み立て、最終のATMセル組み立ての手順をしめす。

(1) . 最初のセルに対する処理 : FCA = 1, LCA = 0, EN = 1 時

交換機側からの制御信号受信により、フラグビットFCAが1に設定された事によって、μP INF部によって動作しているセル化テーブル処理プログラムは、対象タイムスロットに関して、現在のSTMフレームが通信の開始された最初のSTMフレームである事を知り、図16の通信開始直後の手順図に示す如く、64kbps呼、多元呼に分けて次の処理を行う。

(A) . 64kbps呼の場合 : N = 1 時

(a) . セル組立開始の準備処理 FCA = 1, LCA = 0

セル化テーブル処理プログラムが起動されて、図11の本発明のATMセル組立の詳細フロー図に示す如く、64kbps呼に対する最初のATMセル組み立てを行うセルスロットまでに、セル化バッファのどのアドレスから読み出せば良いかを示す読み出しポインタ情報をセル化テーブルに書き込む。この処理終了後に、フラグとしての用を果たしたFCAの値は0に戻される。

(b) . 最初のセル組立処理 FCA = 0, LCA = 0
当該64kbps呼に対する最初のセルスロットが到来した時点では、ATMセル組立部のセル組立の対象とする64kbps呼のタイムスロットに対するセル化バッファには、必要バイト数の47バイト分のデータの書き込みはまだ行われていない。

【0181】この為、当該最初のセルスロットにおいては、まず、対応するタイムスロットを使って最初の64kbps呼の通信が開始されたSTMフレームの位置情報を、(a)で設定した、読み出しそのポインタによって知る。

【0182】次いで、図12の64kbps呼対応セル化バッファの書き込みと読み出しイメージに示す如く、読み出しそのポインタで示すセル化バッファのアドレスから当該最初のセルスロットの時点におけるSTMフレームカウンタが示す現在のSTMフレーム番号の1つ前までのセル化バッファのアドレス迄のバイト数のデータを最初の64kbps用のペイロードデータとして読み出す。

【0183】また、ペイロード数47バイト未満のペイロードを完全なペイロードデータの形にする為に、まず、読み出しそのポインタから現在のSTMフレームの1つ前までのバイト数を47バイトから減算したバイト数を求める。次に、このバイト数分の0連続データをパディングデータとして作成する。

【0184】この0連続のパディングデータの後に読み

出したデータをペイロードデータとして結合し完全なペイロードとし、ATMヘッダを付加して、ATMセルとして組立・送出する。

【0185】同時に、第2セル以降とくに、最終セル組立における47バイト未満のペイロード発生の際の端数処理を正しく行う為に、読み出しそのポインタとして、ペイロード用に読み出しを終えたSTMフレームの次のフレーム即ち、現在のセルスロットに対するSTMフレームカウンタの値を設定する。

【0186】上の説明で、セルスロットの時点におけるSTMフレームカウンタ番号の1つ前迄のセル化バッファを読み出すこととしたのは、セル化バッファからのデータ読み出しそのタイミングがデータ書き込みのタイミングを追い越さないようにするためである。

【0187】即ち、図2の本発明のSTMフレームとセル化基本フレームの関係に示す如く、1つのSTMフレームには、45個のセルスロットが含まれる。

【0188】従って、当該セルスロットの位置がSTMフレームの中の前の方の時間位置に存在する場合は、セル化バッファへの当該STMフレームデータの書き込みがまだ完了していない確率が高くなる。

【0189】又、最悪は、書き込みと読み出しそのタイミングが衝突するケースも起こりうる。このように書き込みと読み出しそのタイミングをずらす事によって、セル化バッファのデュアルポートメモリ機能を使って、異なるアドレスへのデータの書き込みと読み出しその平行動作が各々独立して安定に行える。

【0190】64kbps呼に対する最初のセル組立の際に、簡略化の為に、当該セルスロットの時点のSTMフレーム番号の1つ前迄のセル化バッファを機械的に47バイト分遡って順次読み出すという考え方もある。即ち、最初のセルのペイロードに、一部、過去の残留データによる誤差が一緒にのって構わないという考え方である。これは、64kbps呼の場合は、音声がデータの中心であり、音声の場合には、最初のセル1ケフレーム間に約6ミリ秒分通信開始直後の雑音は人間の耳にとって影響が少ないという考えに基づく。

【0191】しかし、既述の如く、64kbps呼はインターネットにおけるダイヤルアップ接続や移動通信におけるモバイルコンピューティングなどデータ通信的な使い方が増えている。

【0192】データ通信に於いては、下位レイヤに大量のエラーが生じた場合は、上位層のプロトコルで、一般的には、再送処理による誤り訂正の処理が行われる。この結果、再送処理による遅延時間が通信接続の都度、必ず通信開始時のアプリケーション立ち上げの遅れとなつて現れる。

【0193】64kbps呼の場合のまだセル化用のペイロードデータが蓄積されていない場合でも、最初のセルスロットで、セル化を開始する上で、通信開始のフラ

グ情報FCAと、読み出開始ポイント情報と組み合わせて使う事によって、上記の問題を回避して、正しいデータ通信が可能となる。

(B) 多元呼の場合: $N > 1$ 時

(a) セル組立開始の準備処理、FCA = 1

多元数Nが2以上の場合即ち多元呼の場合には、フラグビットFCAが1になっている現在のSTMフレームから、幾ら後のどのSTMフレームでセル化準備が整うかを、多元数に応じて定まる計算式によって計算処理し予測する。

【0194】尚、この処理が終わった後、フラグとしての用を果たしたFCAの値は0に戻される。

【0195】図13は、セル化バッファへの多元呼のデータの書き込みと読みだしイメージを示す。図13の如く、書き込みは、多元数分だけ行方向即ちタイムスロットの順番に、STMフレーム番号をシフトしながら周期的に書き込めば良いが、ATMセルの組立の都度、読みだし開始位置は、基準位置からのズレ即ちオフセットofsが発生する。

【0196】当該多元呼に対するタイムスロット番号の一番先頭のタイムスロット番号位置を、基準位置すなわちofs = 0と定義すると、ATMセル組立を行った当該セル化バッファに、次のセル化準備が完了する時のSTMフレーム位置即ちFRRは、次の計算式によって求める事ができる。

(FRR - FR# - 1) モジュロ $64 \times N - ofs > 47$ — (1)

(1)式を満足させる最小のFRRの値を求めれば、そのFRRが次のセル組立準備が完了するSTMフレーム番号となる。即ち、

$FRR = [FR\# + 1 + (47+ofs)/N]$ モジュロ 64 — (2)

で求められる。

【0197】ここで、〔〕は小数点以下を切り捨てた整数値を採用することを意味する。

【0198】又、モジュロ64の演算は、STMフレーム周期が0~63の数値で繰り返す事を考慮している。演算式で+1の項は、セル化バッファを読みに行く時のタイミングを書き込みが完了したSTMフレームの次のフレームで読みに行く事を意味しており、64kbps呼の場合のセル化バッファの読み出しが、現在のSTMフレームの1つ前までのSTMフレームアドレスのセル化バッファを読みだす様にしているのと同じ理由である。

【0199】図14の多元数とセル組立準備完了時点のSTMフレーム番号シーケンス計算例は多元数Nとセル組立準備完了時点のSTMフレーム番号の計算例である。但し、いずれの多元数の呼もSTMフレーム番号0のフレームでセル化バッファへのデータ蓄積を開始した場合を例示している。

【0200】図14で、枠の横軸はSTMフレーム番号、縦軸は通信呼の多元数、枠内の数字は、左横軸の多元呼に対してペイロード数47バイト分のデータがセル

化バッファに蓄積されセル組立準備が完了したSTMフレーム番号FR#をさす。

【0201】また、セル化の開始時点のSTMフレームは、全て同じ、FR# = 0から開始した場合を示している。

【0202】この場合、多元数 = 1即ち64kbps呼では、STMフレーム番号46のフレームで最初のセル組立準備が完了し、多元数 = 2即ち128kbps呼では、STMフレーム番号23で最初のセル組立準備が完了する。同様に、多元数 = 3の場合は、STMフレーム番号15、31、46のSTMフレームでセル組立準備が完了することを意味する。

【0203】図15の多元数とセル化バッファアドレス待ち行列例は、図14を基に、STMフレーム順に、各STMフレーム時点に於ける多元数毎の待ち行列を形成したものである。待ち行列に並んでいる数値は、通信呼の多元数を示す。又、下付数字は、通信呼の識別番号を表す。この場合は、各多元数の通信呼は全て1個の場合を示している。

20 【0204】図15で、例えば、STMフレームのどの列にも、多元数941の行列要素が2個、多元数471が1個が並ぶことが分かる。

【0205】この場合は、各多元呼の数は全て1個だけの為、識別添字は全て1となる。また、この例示では、STMフレーム番号が同じ0からセル組立準備を開始する為に、47番目のSTMフレーム番号46のSTMフレームに、一斉にセル組立準備が完了する。

【0206】図14、図15から明らかに如く、多元数の大きな多元呼程、通信開始後の最初のセル化のタイミングが早く到来する。

30 【0207】従って、多元数の小さな多元呼が、最初に到来してセル組立準備の整うSTMフレームの待ち行列の先頭に並んだとしても、統いて、多元数の大きな多元呼が到来した場合には、当該後続の多元呼のセル組立準備が整う時点のSTMフレームが、最初に到来した多元呼に対するセル組立準備の整うSTMフレームの前に来ることが起こりうる。

40 【0208】このようにして、修正されたSTMフレームの待ち行列順に形成された多元テーブルを用いて、セルスロット毎に、セルスロットの時点のSTMフレーム番号のアドレス待ち行列の順番に、順次、セル化バッファの読み出しとATMセル組立を行えば、多元数の大きな多元呼が後から到来して、セル組立準備完了時点の逆転が起きた場合でも、待ち行列の順番を正しく保ち、多元呼に対するATMセル組立を行うことが出来る。

【0209】尚、多元テーブルにおける現在のSTMフレームカウンタ相当のSTMフレーム単位のセル化バッファアドレスの待ち行列に対するセル組立が全て完了して、待ち行列が空の場合は、セル組立は停止する。

50 【0210】セルスロットの時点におけるSTMフレー

ムカウンタ相当の多元テーブルのSTMフレーム番号単位の待ち行列が最初から0の場合には、送るべき多元呼のペイロードが存在しないことを意味する為に、当該セルスロットでのATMセル組立は行わない。

【0211】逆に、多元テーブルにおける、当該セルスロットに対するSTMフレームカウンタ相当のSTMフレーム単位のセル化バッファアドレス待ち行列に対するATMセル組立・送出が、STMフレームカウンタの示す期間内に終わらずに、待ち行列が残るケースも考えられる。

【0212】これは、64kbps呼の通信呼が特定のタイムスロット付近に集中して発生した場合にセルスロットが空きのセルスロットを除いて全て64kbps呼によって占有され、同じSTMフレームの時点でセル組立準備が完了している多数の多元呼に対するATMセル組立・送出が待たされた場合に起こる。

【0213】この場合には、後の時点の多元呼用のセルスロットを使いながら、ATMセル組立がまだなされていない以前のSTMフレーム番号の待ち行列の先頭まで戻って待ち行列の先頭を決める。

【0214】この節の終わりに、多元呼の場合のATMセル組み立て準備手順を、再度まとめてのべる。

【0215】図16の処理手順にしめす如く、特定のタイムスロットから多元数分の連続するタイムスロットを使って通信を開始した多元呼に対して、通信開始直後の最初のデータの受信を開始したSTMフレーム位置からセル組立準備が整う分のデータ即ち47バイト分のデータがセル化バッファに蓄積されるSTMフレーム番号を(2)式によって計算する。

【0216】計算によって予測した、多元テーブルの同じSTMフレーム番号の列の行列の最後尾に、新たな待ち行列要素として追加を行い、同時に当該、セル化テーブルの読み出しポインタの値として、通信開始直後のSTMフレーム番号と、当該多元呼に対するタイムスロットの先頭番号相当のオフセット即ち0を設定する。

【0217】又、多元チェーン情報として、当該、セル化バッファアドレスが、多元テーブルの計算によって予測して並んだSTMフレームの列の待ち行列の最後尾に並んだ事を示す為、自分自身と同じセル化バッファアドレス即ち当該多元呼のタイムスロット番号の先頭値を設定する。以上の処理は、多元呼に対するセル組立の前準備として行われる。

【0218】最初のATMセルに対するセル化バッファの読み出しが開始アドレス位置を示す読み出しポインタも設定され、多元呼の場合も、この最初の読み出しポインタのオフセット値は必ず0の値をとる。

【0219】また、同様に新たな多元呼のセル化バッファアドレスが待ち行列要素として追加されたことを受け、その、待ち行列間のつながりを表す多元チェーン情報の初期設定も行う。

(b) . 最初のセル組立処理、

ATM組立装置がセルスロットカウンタ番号から1対1に対応するタイムスロット番号を知り、図8のセル化テーブルの該当するタイムスロット番号のアドレスのテーブル値からこのタイムスロットを使っている通信チャネルの属性データを得、ルール1によって、当該セルスロットが多元呼用に割り当てられたものであることを判断する。

【0220】この場合、多元テーブルを無条件に参照し10に行き、現在のセルスロットの時点のSTMフレーム相当の待ち行列の並びを見に行き、ATMセル組立準備完了順に、 FIFOを形成している多元テーブルの待ち行列の先頭要素のセル化バッファアドレス番号即ちタイムスロット番号を知る。

【0221】ついで、このタイムスロット番号のアドレスのセル化テーブルを見に行き、読み出しポインタの値を用いて、当該、セル化バッファを図13のセル化バッファへの多元呼の書き込みと読み出しがイメージに例示した如く、多元数に応じた読み出しルールで47バイト分読み

20 出しを行う。ATMセル組立装置は、この読み出したペイロードデータに、セル化テーブルから得たATMヘッダを附加して、ATMセルに組み立て送り出す。

【0222】同時に、当該多元呼のセル化バッファに次のATMデータが蓄積されるタイミングを、(2)式を用いて計算し、後続のATMセル組立を行う為に、多元テーブルの新たなSTMフレーム番号の最後尾に、当該多元呼のセル化バッファアドレスを並び直させる。

【0223】即ち、計算予測結果を基に、多元テーブルの当該次のSTMフレーム番号に相当する行列位置を求30め、過去の他のタイムスロットデータに対する予測処理の結果として、既に並んでいるATMセル組立待ちバッファアドレスの待ち行列の1番最後に、この新しく、通信開始したタイムスロット番号に対応する多元呼用のセル化バッファアドレスを追加する。

【0224】又、セル化テーブルにおける、当該セル化バッファアドレスに対応するタイムスロット番号に対する読み出しポインタの値を、セル化バッファを読み出し終わった時の読み出しポイントのアドレスの次のアドレス値に設定し、多元チェーン情報の値を自分自身のタイムスロット番号値に設定する。

【0225】さらに、多元テーブルは、今まで、先頭だった当該多元呼のセル化バッファアドレスの後続の順位だった待ち行列要素を先頭要素とするように変更を行い、次のATMセル組み立てに備える。

(2) . 第2セル以降の後続セル組立処理 : FCA = 0, LCA = 0時

定常状態の処理であり、64kbps呼と多元呼に分けて説明する。

(A) . 64kbps呼の場合 N = 1

50 最初のセル組み立てと全く同様の処理手順で、読み出し

ポインタから現在のSTMフレームの1つ前のSTMフレーム番号のアドレス迄47バイト分を読み出す処理、及び次のATMセル組み立てに備えて、新たな読み出しポインタの値の設定処理を行えば良い。

(B). 多元呼の場合 $N > 1$

最初のセル組み立てと全く同様の処理手順で、読み出しポインタから47バイト分ずつ多元数に応じた読み出しルールで、読み出しを行い、新たな読み出しポインタの設定、多元テーブルの更新を行えば良い。

(3). 最終のセルに対する処理: $FCA = 0$ 、 $LCA = 1$ 設定時

通信呼の終了即ちこのSTMフレームがSTMデータ通信用の最終フレームであることを意味しており、64kbps呼、多元呼に分けて最終のATMセル組み立て処理を行う。

(A). 64kbps時 $N = 1$

(a). セル組立終了の準備処理、 $LCA = 1$

セル化テーブル処理プログラムの終了処理モジュールが起動され、フラグビット $LCA = 1$ が交換機から送られて来、設定されたSTMフレーム番号即ちフレームカウンタの値を、終了ポインタの値として設定し、最終のATMセル組み立てに備える。まだ、この時点では、 LCA の値は1のままでする。

(b). 最後のセル組立処理、 $LCA = 1$

当該64kbps呼に対する最終のセルスロットで、このセルスロットに対するセル化テーブルを参照し、 $LCA = 1$ に設定されていることを確認すると、次の最終ATMセル組み立て処理を行う。

【0226】即ち、読み出し開始ポインタから、読み出し終了ポインタ迄の値をペイロードとして読み出し、ATMセルに組み立て送出する。

【0227】この最後のセル組立の場合には、ペイロードデータは47バイト未満となるため、読み出ポインタから最終STMフレーム番号までのバイト数を47バイトから減算した残りの数値相当分のバイト数相当の0連続のデータをパディングデータとする。先に読み出したペイロードデータの後に、この0連続のパディングデータを結合して完全なペイロードデータとして、ATMヘッダを附加し、ATMセルとして組立・送出する。

【0228】この処理と同時に、用を果たしたフラグビット LCA の値を0に戻す。

【0229】最後に、当該64kbpsタイムスロットの番号のアドレスのセル化テーブルの値をクリアし、対応するタイムスロットが不使用状態に戻ったことをしめす為に、ENは信号系ソフト処理プログラムによって0に設定される。

(B). 多元呼時 $N > 1$

(a). セル組立終了の準備処理 $LCA = 1$

64kbps処理と同様に、セル化テーブル処理プログラムの終了処理モジュールが起動され、 $LCA = 1$ が送

られて来た最終のATMセルのタイミングに対するSTMフレーム番号即ちフレームカウンタの値を、読み出し終了ポインタの値として設定し、最終のATMセル組み立てに備える。まだ、この時点では、 LCA の値は1のままでする。

【0230】多元呼の場合も、読み出し終了ポインタの値は64kbps呼と同じ値を使えば良い。これは、多元呼の場合、STMフレーム毎に、隣接する多元数分のタイムスロットを使ってデータが送られて来る為、最終のSTMフレームにおける通信用の最終タイムスロット位置は、当該多元呼に対する先頭のタイムスロットを含めてカウントして多元数個のタイムスロット位置に定まっているからである。

(b). 最終のセル組立処理、 $LCA = 1$

対象とするセルスロットが多元呼用に割り当てられたセルスロットで、多元テーブルから持つて来た待ち行列の先頭のセル化バッファアドレスに対応するセル化テーブルのタイムスロット情報が、フラグビット $LCA = 1$ によって、STMの最終フレームである事が判明した場合20である。

【0231】此の場合、当該多元呼に対する最終のセルスロットで、このセルスロット即ちタイムスロットに対するセル化テーブルを参照し、 $LCA = 1$ に設定されていることを確認すると、次の最終ATMセル組み立て処理を行う。

【0232】即ち、読み出し開始ポインタから、終了ポインタ迄の値をペイロードとして読み出し、ATMセルに組み立て送出する。読み出しルールは、定常状態と全く同じルールで良い。

【0233】この時も、64kbps呼の場合と同様にして、読み出し開始ポインタから終了ポインタまでのバイトカウント数を47バイトから減算したバイト数の0連続データをパディングデータとして作成し、先に読み出したデータの後に結合し、完全な47バイトのペイロードとして、ATMヘッダ情報を附加して、ATMセルに組み立て・送り出す。

【0234】この処理と同時に、用を果たしたフラグビット LCA の値を0に戻す。

【0235】又、当該多元呼に対する多元テーブルにおける待ち行列要素は、削除したままでする。

【0236】最後に、64kbps呼と同様に、セル化テーブルの当該多元呼に対するタイムスロット番号のテーブルをクリアし、EN=0に設定される。

【0237】次に、読み出ポインタと、終了ポインタについて、上記のFCA、LCAの機能説明で簡単な説明は行ったが、さらに詳細な説明を行う。

【0238】読み出ポインタは、STMフレーム番号FR #6ビットとATMセル組み立ての都度発生するタイムスロットTS#の読み出開始位置のずれ、即ち、オフセット数of 11ビットの計17ビットで表される。

【0239】読み出ポイントは、図12の64kbps呼に対するセル化バッファの書き込みと読み出しいメー
ジ、図13の多元呼に対するセル化バッファの書き込みと読み出しいメー
ジに示す如く、ATMセル組み立て時の、セル化バッファの読み出しが開始位置情報を指す。読み出
しポイントは、セル化バッファの読み出しの都度、次のセル組み立て準備に備えて、新たな値が書き込まれる。

【0240】この読み出しどのポイントで示されるFR#と、タイムスロットTS#とオフセットofsから指定
される値を初期値として、読み出しあдрес発生用のSTMフレームカウンタとタイムスロットカウンタがカウ
ントアップ動作を周期的に行うことによってセル化バッファからデータが読み出される。

【0241】64kbps呼の場合には、通信開始直後の最初のセル組み立て時において重要な役割を果たす。
又、64kbps呼も、多元呼の場合も、定常状態でATMセル組み立てを行う都度、この読み出しどのポイントを読み出
始點として、セル化バッファの読み出しが行う。読み出しどのポイントは、通信呼の終了時にも、正しく、ペイロード
の端数処理即ち47バイト未満のペイロード組み立て処理を行う際に、終了ポイントとセットになって重要な役
割を果たす。

【0242】以下、64kbps呼の場合と多元呼の場合に分けて説明する。

(A) . 先ず、64kbps呼の場合、図7のセル化バッファの構成において、同じSTMフレームのタイムスロット番号のセル化バッファをSTMフレームFR#の番号順に読み出すことによって、必要なペイロードデータが得られる。従って、セル組み立てに於ける読み出しどのポイントにおいてオフセットofsは常に0に設定される。これは、図12の64kbps呼対応セル化バッファへの書き込みと読み出しいメー
ジからも明らかである。

(B) . 次に、多元呼の場合、STMフレームあたり多元数個のタイムスロットのデータが隣接して周期的に到来する。

【0243】従って、通話開始直後に、通話開始時における最初のSTMフレーム内の割り当てられたタイムスロット番号と多元数が分かれれば、47バイト分の情報が蓄積されるそれ以降のSTMフレームの到来時点は、周期的に繰り返される為、簡単に計算し予測できる。

【0244】但し、この場合に、64kbps呼の場合と異なり、図13のセル化バッファへの多元呼の書き込みと読み出しいメー
ジにしめした如く、ペイロード用に47バイトのデータを読み出しする都度、次のペイロードの読み出しが開始位置は、前の読み出しが開始位置のオフセット位置ofsとは、異なる値をとることになる。

【0245】当該多元呼の最初の読み出しが開始位置、即ち、最初のタイムスロット位置をSTMフレームにおける列方向の読み出しが開始位置のズレ即ちオフセットofsの

基準点 (ofs = 0) と定義する。

【0246】この時、例えば、N=5の場合は、最初のATMセル組み立てが完了し、次の第2のATMセル組み立てが開始される時のオフセットの位置は、47モジュロ5=2として得られる。また、次のATMセル組立時には(47-3)モジュロ5=4として得られる。

【0247】上記の毎回ずれるオフセットの値を実際の回路処理によって得るには、セル組み立て終了時におけるセル化バッファのSTMフレーム番号アドレスとタイムスロット番号の基準位置からのズレの情報を読みだしアドレスカウンタの値から得る。

【0248】このアドレスカウンタから得た基準位置からのズレの値に1を加えてモジュロ5の演算処理即ち剩
余演算を行った結果が0となる場合は、ペイロード読み出しが終了位置が、当該多元呼に対する読み出しがSTM
フレーム番号相当アドレスの列方向の読み出しが開始位置の最終位置だったことを意味する。

【0249】従って、この場合は、次の読み出しが開始位置のSTMフレーム位置は、ペイロードデータの読み出
しが終了したSTMフレーム番号FR#に1を加えた値を、新たな読み出しどのポイントにおけるSTMフレーム番
号とし、また、オフセットofs=0の値を設定する。

【0250】上記の剩
余演算が0以外の値の場合は、読み出しが終了位置における読み出しがカウンタのSTMフレーム番号を次の読み出しどのポイントのSTMフレーム情報として、読み出しが終了位置における基準位置からのズレの値に1を加えた値を、次の読み出しどのポイントのオフセット情報として設定する。

【0251】以下、毎回、ATMセル組立が行われる都度、上記の処理を繰り返して、読み出しどのポイントの値を更新する。

【0252】終了ポイントは、6ビットで、FCAの時に、説明を行っているが、STMの通信呼の終了フレームを検知して、特定の通信呼に対する最終ATMセル組み立てに於いて、ATMペイロードに生ずる47バイト未満の端数処理を行う。

【0253】オフセットは、情報として不要であり、最終のSTMフレームの値が分かれれば64kbps呼も多元呼も最終セルの組み立てを行うことができる。

【0254】図8のセル化テーブルに於いて、最後に多元チェーン情報を説明する。

【0255】多元チェーン情報は、多元呼に対するセル組立準備完了のセル化バッファアドレスが待ち行列を形成している多元テーブルにおいて当該セル化バッファアドレス従ってタイムスロット番号が待ち行列を作っている列の当該セル化バッファアドレスの次のセル化バッファアドレスを指す。

【0256】この時、セル組立待ちのセル化バッファアドレスが、待ち行列の最後に並ぶ時には、行列の最後であることを示す為に、多元チェーン情報は、自分自身の

セル化バッファアドレス即ちSTMフレームの対応するタイムスロット番号値を設定する。このようなケースは、通信開始直後と、ATMセル組立直後に発生する。

【0257】即ち、当該多元呼に対する通信が開始された直後に、セル組み立て準備完了時期のSTMフレーム位置を予測して、新たな待ち行列要素として、当該STMフレーム番号に相当する待ち行列の最後尾に並んだ時には、後続する待ち行列要素はない為に自分自身のアドレス即ちセル組立待ちに入った当該セル化バッファのアドレス値を設定する。

【0258】同様に、ATMセル組立の定常モードに入り、多元呼に対するATMセルの組立を行った時に、当該多元呼に対する次のATMセル組立準備が完了する次のSTMフレームに相当する列の待ち行列の最後に並び直す。この時も、後続の待ち行列要素はない為、多元チーン情報は自分自身のアドレスを設定する。

【0259】これに対して、待ち行列の最後尾に新たな待ち行列要素が追加された直前まで最後尾であった待ち行列要素に対するセル化テーブルのタイムスロット番号のアドレスにおける新たな多元チーン情報として、この新たに、最後尾に追加された多元呼のセル化バッファアドレス即ちタイムスロット番号が書き込まれる。3)多元テーブル次に、図9の多元テーブルの構成について説明する。

【0260】図9で示す如く、シーケンス順に並んだSTMフレーム番号毎に、セル組立待ちのセル化バッファアドレス即ち対応するSTMフレームのタイムスロット番号の待ち行列が形成されている。図9で括弧内の数字は、必要ビット数を示す。

【0261】また、多元呼の繋がりを示す多元チーン情報は、セル化テーブルに保持されている。

【0262】図9では、各STMフレームの待ち行列毎に、セル化対象のセル化バッファの先頭のアドレス値、最後尾のアドレス値、当該STMフレームに並んでいる待ち行列要素の数すなわち送出すべきチャネル数が蓄えられている。

【0263】システムとして通信開始直後に多元呼として、最初の待ち行列に並んだセル化バッファアドレス値即ちタイムスロット値が、自動的に、待ち行列の先頭となり、以降は、STMフレーム順に、各STMフレームの並びの先頭の行列要素が常に、STMフレームのシーケンス順に FIFO論理によって、多元テーブルの待ち行列の先頭要素として取り出されるように待ち行列が形成されている。

【0264】図10の多元チーン情報の更新例に、多元テーブルと、セル化テーブルの多元チーンの更新例を示す。

【0265】図10には、セル化テーブルの中で、多元呼の待ち行列の繋がりを示す、多元チーン情報部分のテーブルを抜粋して示している。

【0266】図10で、待ち行列の先頭の、セル組立対象の先頭のセル化バッファアドレス即ちタイムスロット値は、フレーム番号FR#の2の列のTS#=3とする。

【0267】この状態で、TS#=3のセル化バッファアドレスに対する多元呼に対するセル組立が行われると、FR#=2のSTMフレームの次の待ち行列要素のTS#=6が、次のセル組立待ち行列の先頭要素として、多元テーブルのSTMフレームFR#=2の先頭TS

10 値の書き替えが行われる。ここで、この後続の待ち行列要素のTS値は、図10の右に多元チーン情報をセル化テーブルの抜粋によって説明した如く、セル化テーブルにおける多元チーン情報によって得られる。また、FR#=2の並びの待ち行列要素数は3から2に減ぜられる。

【0268】同時に、このTS=3のセル化バッファアドレスに対する次のセル組立準備が完了する予測STMフレーム時点を所定の計算式によって計算し、FR#=8を得る。

20 【0269】このFR#=8の待ち行列の最後尾は、TS=27のセル化バッファアドレスであったが、この値を、TS=3に書き替える。

【0270】同時に、FR#=8の待ち行列の最後尾の待ち行列要素、TS=27に対する多元チーン情報を、TS=27から、新たな値、TS=3に書き替える。

【0271】最後に、TS=3に対応するセル化テーブルにおける多元チーン情報を、以前の多元チーン情報のTS=6の値から、待ち行列の最後尾に並んだ事をしめす為にTS=3に設定する。

【0272】同様の処理を、新たな多元呼が発生する都度、ATMセル組立が完了する都度行えば良い。

3) 総括説明

以上の説明を総括的にまとめて、図19の本発明のATMセル組立手順の全体詳細フロー図、図20の本発明のATMセル組立装置の機能情報関連図に示す。

【0273】以下、簡単なまとめの説明を行う。

【0274】図19の動作フローにおいて、本発明の特徴をなす基本実現要素は、図1の本発明のATMセル組立装置の原理構成図におけるセル化バッファと、セル化テーブルと多元テーブルである。

【0275】通信呼が新たに発生したことを検出したμP INF部は、セル化テーブルの初期値の設定を行う。この初期値設定には、既に、説明した如く、制御情報FCAの値を0から1への設定や、64kbps呼用、多元呼用のそれぞれに対応した読みだしポイント値の設定、最初の多元チーン情報即ち自分自身のTS値の設定、ATMセルのヘッダ値の設定、多元呼の場合には、この通信開始STMフレーム位置から多元数に応じて定まるATMセル組立準備予定のSTMフレーム位置

の計算及び多元テーブルへの待ち行列要素の追加による多元テーブルの更新等が含まれる。

【0276】セル化バッファ部へのSTMデータの書き込みは、図9にしめす如く、STMフレームに仮想的に付けたフレーム番号FR#の順のフレームカウンタ、STMフレーム中のチャネルデータが送られて来る時間位置に対して順番に番号を付与したTSカウンタの順番に、周期的に行われている。セル化バッファのアドレスはこの書き込みカウンタが指示するアドレス値と1対1に対応している。この時、STMフレームのセクションオーバヘッド等の不要な情報は、除去される。

【0277】他方、セル組立部が行うセル化バッファからのペイロードデータの読みだしは、図2に示すセル化基本フレーム内の量子化されたタイムスロットであるセルスロットのタイミングで周期的に行われている。

【0278】この時に、既述の如く、64kbps呼の場合も多元呼の場合も、セル化バッファへのSTMデータ書き込みと、ATMペイロード用のデータ読みだしのタイミングの時間順が逆転しないように制御しながら読みだし処理を行う。

【0279】又、64kbps呼の場合と、多元呼の場合で、セルスロットの使い方、セル化バッファの読みだしルールやセル化テーブルの更新ルールが異なり、多元呼の場合には、多元テーブルの利用と更新処理が余分に必要となる。

【0280】セルスロットの属性の判断は、既述の如く、セルスロット番号に1対1に対応しているセル化テーブルのタイムスロット番号の属性データを参照することによって行う。

【0281】64kbps呼の場合、最初のセル組立時は、通信開始時のSTMフレームの値を、セル化バッファの読みだし開始位置を示す読みだしポインタ情報として得る。この読みだし開始位置から当該セルスロットのSTMフレームの1つ前迄のSTMフレーム分のセル化バッファアドレスからペイロードデータを読みだし、ATMヘッダを付加してATMセルとして組み立てATM網側に送り出す。

【0282】多元呼の場合は、当該セルスロットが、空きセルスロットか、対応するSTMフレームのタイムスロットで通信が行われていないセルスロットか、多元呼用に対応するSTMフレームのタイムスロットを使って多元呼の通信が行われている場合かのどちらの場合で、この場合は、当該セルスロットは、多元呼が共用スロットとして使っても良いセルスロットである。

【0283】従って、この場合は、多元テーブルを参考しに行き、セル組立待ち順のセル化バッファアドレス即ちタイムスロット番号の待ち行列の先頭の値を使ってセル化バッファの読みだしを多元数に応じたルールで読み出す。

【0284】同時に、セル化テーブルと多元テーブルの

更新を図10の多元チェーン情報の更新で説明した手順によって行う。

【0285】図20は、以上の説明を総合した、本発明のATMセル組立装置の機能情報関連図を示す。

【0286】各機能要素間で必要な情報の相互のやり取り、各の動作に必要なロック等がしめされている。実際の各機能部の構成にあたっては、マイクロプロセッサを用いた演算やデータの相互転送等によるソフト処理と、ロック発生部等のハード処理部が組み合わされて実現されている。

【0287】簡単に総括的な説明を行うと、STM多重データは、一旦、STM書き込み制御部に蓄積され、直列並列変換処理が行われ、バイト単位にバッファに蓄えられた後で、セクションオーバヘッド部を除いたチャネルデータ部のタイムスロットデータのみが抽出され、セル化バッファに逐次、STMフレーム順、タイムスロット順に書き込まれる。

【0288】又、これらと平行して、交換機から来た、通話開始時の情報を得て、セル化テーブルの通話を開始20したタイムスロットに相当するアドレスに各種の初期設定値が書き込まれ、同時に、通信呼が多元呼の場合には、多元テーブルに、新たな待ち行列要素の追加を行う。

【0289】ATMセル組立部は、セル化基本フレームの周期で量子化された時間単位のセルスロット毎にATMセル組立動作を平行して行っており、セルスロット毎に、セルスロットが、64kbps呼用に割当済か、多元呼用かの情報を、セル化テーブルのセルスロットに1対1で対応したタイムスロット番号のアドレスに蓄積されている情報から得て、64kbps呼、多元呼用のそれぞれに応じたセル組立動作を行う。

【0290】64kbps呼の場合は、通信開始直後のセル組立の場合には、フラグ情報FCAが1であることによって、最初のセル組立であることを知り、読み出しポインタ情報を使って、通信が開始されたSTMフレームを開始点とした正しい個数のペイロードデータをセル化バッファから読み出す。

【0291】多元呼の場合は、多元テーブルからATMセル組立準備が整った先頭の待ち行列要素のセル化バッ40フアアドレスを知り、このセル化バッファアドレス即ちタイムスロット番号に対する読み出し開始ポインタの情報と多元数を基に、セル化バッファの読み出しを行う。

【0292】又、この読み出し処理に応じて、次の待ち行列位置の計算を行い、多元テーブルの更新を行い、同時にセル化テーブルの更新を行う。セル化テーブルからのデータの読み出しの際は、セル化準備が完了したセルから読み出すこと、セル化テーブルへのデータの書き込みと読み出しのタイミングが逆転しないように制御する。

50 【0293】図20で、セル化バッファ読み出し制御用

のカウンタクロックFR#とTS#が64kbps呼の場合と、多元呼の場合で発生ルールが異なり、とくに多元呼の場合には、ATMセル組み立ての都度発生するオフセットの違いを吸収する為に、セル化テーブルから読み出しポインタによってオフセットデータを得て読み出し開始位置相当のアドレスロックの値をその都度変えながら読み出し動作を行っている。

【0294】次に、CSIが1となり、STMフレームのフレーム同期位置を示すポインタ情報を送らなければならぬ場合の処置について説明する。

【0295】この場合は、ATMセルのペイロード部分は、CSI=1の指示情報を受けて、STMフレームのフレーム同期位置情報を送る必要がある為に、通常は、ペイロードとして、47バイト使っているのに対して、1バイト分がポインタ情報として使われる。この為、ATMセルのペイロードデータ数は46バイトとなる。

【0296】この場合は、ATMセルの組立準備が完了するSTMフレーム番号は、早めになるが、そのSTMフレーム番号は、式(2)のペイロード数47の数値を46に置き換えることによって、簡単に計算の修正が可能となる。

【0297】又、セル化スロットで対応するタイムスロットに対するセル化テーブルを読みに行って、CSI=1のフラグが設定されたことを確認した場合は、セル化バッファからデータを読み出す際には、読み出しポインタから46バイト分だけのデータをペイロードデータとして読み出すようとする。

【0298】このようにして、CSI=1に対応して、ペイロードデータが46バイトになる場合でも、回路や処理のアルゴリズムを変更することなく、制御パラメータを変更するだけで、簡単に対応が可能となる。

【0299】以上、本発明のATMセル組立装置について、詳細な説明を行った。

2. 次に、本発明のATMセル分解装置について説明する。

【0300】図5の本発明のATMセル分解装置の構成に加え、図21の64kbps呼に対する本発明のセル分解処理の概要、図22の128kbps呼に対する本発明のセル分解処理の概要、図23の本発明のセル分解用バッファの構成、図24の書き制御テーブルの構成、図25の書きシーケンス例、図26の読みシーケンス例を基に説明を行う。

【0301】図5の本発明のセル分解装置の構成で概要を説明した如く、本発明のセル分解装置に置いては、図21、図22に示す如く、ATMペイロードを、64kbps呼の場合には、STMフレーム番号順に1バイトずつ、128kbps呼の場合には、STMフレーム周期毎に2バイト分ずつ連続するタイムスロットに割り当てて分解していけば良い。図21では、VPI、VCIで指定されるアドレス値のATMセルを、STMフレー

ムのタイムスロット5番の位置に分解している例を示す。同じく、図22は多元数=2の多元呼を、STMフレームの連続するタイムスロット5番と6番の位置に分解している例を示す。

【0302】多元呼の場合は、一般的にはNバイトの固まりで、STMフレーム毎の、連続するNヶのタイムスロットに、ATMセルのペイロードデータの分解が行われる。

【0303】図23のセル分解用バッファの構成に示す如く、STMフレームに対応して付けたアドレス番号は、0~127の周期の値を持ち、ATMセル化バッファの倍の大きさを持たせている。

【0304】これは、遅延ゆらぎ吸収を配慮した為である。各データ格納領域は、8ビットに必要に応じてパリティビットを付加したデータを蓄積する。

【0305】また、タイムスロット番号は、各STMフレーム番号毎に、0~2047の値が付与されているが、実際にこの内、0~2015迄のアドレスが使われる。

【0306】64kbps呼の場合には、各STMフレーム毎に、1バイトのデータが、ATMセルから読み出され、書き込まれる。書き込みを行うタイムスロット番号は、書き込み制御テーブルから得られる。

【0307】多元呼の場合には、先頭のTS番号のアドレスから連続して、多元数分の連続したアドレスに書き込みを行う。この時、書き込み制御部は、制御テーブルから得た先頭TS番号と多元数から書き込むべきバッファアドレスを特定して書き込みを行う。

【0308】他方、STM側の読み出し処理は、書き込み側とは独立に、常に、一定周期で行われている。すなわち、125μsのSTMフレーム毎に1フレーム分のデータが、ATMセル分解用バッファからTS番号の順に読み出される。

【0309】STMフレーム内の処理は、サイクリックに、STMフレームクロックとTSクロックをカウントアップさせながらデータの読み出しを行うだけで良い。

【0310】他方、ATMセルは、一般的に網内でのトライフィックの輻輳度合によって、同じバス上を情報が伝達されても、バス利用時の待ち合わせ時間の揺らぎによる遅延揺らぎを持っている。

【0311】この結果、STMフレーム側は、常に、一定の周期で、データの読み出しを行っているのに対して、ATMセルの到着の遅延揺らぎによって振られる時間で、ATMセル分解用バッファへの書き込みが行われることになる。

【0312】従って、この揺らぎを考慮して書き込みと読み出しタイミングが逆転しないようにタイムマージンを確保するために、図23に示す如く、STMフレーム組み立て側の読み出し開始時刻を、遅延ゆらぎがない場合にATMセルの分解を行うために使う書き込み用に使うフ

フレームクロックFR#の書き込み開始時間に対して、読み出しに使うSTMフレーム側の読み出しのフレームクロックの開始時間位置を余裕時間 τ だけ遅らせることとする。図23の例では、 $\tau = 125 \mu s \times 3 = 375 \mu s$ の場合が例示されている。これは、逆に、読み出し側を基準とした場合には、読み出し側のフレームクロックに対して、 τ 時間分だけ、早いフレームクロックを使ってデータの書き込みを行うことを意味する。

【0313】図24に書き込み制御テーブルの構成を示す。

【0314】図24で、各制御データは、VPI/VCIの組からきまる各通信チャネル毎にテーブルとして保持されている。又、括弧内の数字は、必要ビット数を示す。

【0315】ATM入力セルのVPI/VCIは、STMフレームのチャネル番号即ちTS番号に1対1に対応しており、入力セルのVPI/VCI毎に、以下のパラメータを格納する。各パラメータはそれぞれ下記の意味を有する。

EN: 呼設定情報 (EN=1: 呼設定あり、EN=0: 呼設定なし)

N: 多元数 (N=1: 64kbps呼、N=2: 128kbps)

TTT: 先頭タイムスロット

TAU: 遅延揺らぎ吸収値 (例: TAU=2の時、2STMフレーム分即ち $250 \mu s$ 分の揺らぎ吸収が可能。又、 $\tau = TAU + 1$ と定義する)

FCA: 第一セル到着情報 (0: 第1セル未到着、1: 第1セル到着)

このフラグ情報を使って、最初のATMセルの到着を検知し、ATMセルの分解開始の最初のアドレス位置設定を通じて、ATMセルの遅延揺らぎに対するマージン設定を行う。

LCA: ATMセルが最終セルであることを指示する。これによって、セル分解終了処理の準備及び終了処理を行う。通常は0の値を取り、通信終了時に交換機側からの設定情報によって1に設定され、終了処理と同時に0に戻される。

FR: 書込ポインタ1で、当該ATMセルのペイロード分解データをATMセル分解バッファに書き込む場合の最初の書き込み開始位置のフレーム番号をさすポインタ情報で多元呼の場合に書き込みポインタ2と組み合わせて使う。

TS: 書込ポインタ2で、当該ATMセルのペイロード分解データをATMセル分解バッファに書き込む場合の最初の書き込み開始位置のタイムスロット番号をさすポインタ情報で、多元呼の場合だけ使用し、書き込みポインタ1とセットで使われる。

FR L: 最終セルに対する最終STMフレーム番号。データ書き込みの終了ポインタ情報

ここで、書き込みポインタ2のTSは、ATMセルの分解毎に、タイムスロットの書き込み開始位置情報を示しており、絶対数として表示しているが、セル化バッファからの書き込みの場合と同様に基準点即ち先頭のタイムスロットTSからの相対値として定義することも可能である。

【0316】書き込みポインタ2は、多元呼の場合、書き込みポインタと同様の理由で、ATMセルのペイロード数47のデータを多元数ずつ、各STMフレームに分解して行った場合に、発生する書き込み開始位置のずれを次のATMセル分解開始時の為に示す。

【0317】通信が開始され、呼が設定された直後の時点では、EN、N、TTT、TAUがマイクロプロセッサ等によって書き込み制御テーブルに書き込まれる。

【0318】図25は、書き込みシーケンスの例を示している。

【0319】図25で、WDは書き込みバイト数、WFDはSTMフレーム内の書き込みバイト数、TTTは、多元呼のSTMフレーム内の先頭のタイムスロット番号、WFRは書き込み時のSTMフレーム番号、WTSは書き込み時のタイムスロット番号を示す。

【0320】呼設定直後に到着する第1セルと、第2セル目以降とで処理ルールが異なる。

【0321】第1セル目では、遅延揺らぎ吸収の為、 $\tau = TAU + 1$ だけ書き込み開始位置のSTMフレーム側に対して前にずらしたフレーム位置から書き込みを行う。この時の書き込み開始のアドレスは、タイムスロットの先頭位置である。

【0322】ここで、 τ の式が+1の意味は、揺らぎ吸収値TAUまで最悪ATMセル到着の遅延揺らぎが発生しても尚1STMフレーム分の余裕をみることを意味している。

【0323】この第1セルの分解が終った時点で、書き込み終了位置のアドレスの次のアドレスを、次の書き込み時の書き込み開始ポインタ情報として、制御テーブルにおける、当該ATMセルのアドレスVPI/VCIに対応したタイムスロット番号のアドレスへ書き込む。

【0324】第2セル以降は、上記の第1セル分解処理に引き続いで、第1セルの分解が終了したアドレスの次のアドレスから同じようにしてセルの分解が行われる。

【0325】図25の左側のシーケンスは、通信開始直後の呼の設定が行われる場合に、遅延揺らぎ吸収の為に、第1セルの分解を行う場合の最初の書き込み開始点を読み出しフレームに対して、 $\tau = TAU + 1$ 分のフレームだけ先行した位置から、バッファに書き込みを開始することを意味している。又、タイムスロットの開始位置は、当該、多元呼のSTMフレームの開始位置に相当する。

【0326】図25の右側のシーケンスは、47バイトのデータを、各STMフレーム毎に多元数分ずつ書き込み

処理を行い、その処理を繰り返して、必要なSTMフレーム分のデータ書き込み処理を行う時の処理手順を示す。第2セルの終了直後のアドレスの次のアドレスを同様にして、次のセル分解時の分解開始位置アドレスとして制御テーブルの更新を行う。以下、同様のサイクルを最後まで行う。

【0327】図26は、STM側の読み出しシーケンスを示す。STMフレームの周期クロックRFR、タイムスロットカウンタクロックRTS順に、データの読み出し処理が行われることを示す。

【0328】ここで、RFRは0～127の値をとり巡回し、RTSは0～2429の値を巡回している。RTSの内、実際にSTMデータとして使われるのは、STMフレームのタイムスロット分の0～2015である。

【0329】この後、STMセクションヘッダデータとの結合が行われ、STMフレームデータとしてSTM網側に送出される。

【0330】以上、説明した如く、本発明のATMセル分解装置に置いては、書き込み側ではアドレス変換の為のメモリアクセス及び高速メモリが不要となり、装置の小型化、経済化、低電力化に適したATMセル分解装置の実現が可能となる。

【0331】最後に、本発明の拡張発明について、補足して説明を行う。

【0332】即ち、以上の説明では、説明の複雑化をさける為に、リアルタイム性を要求される通信呼としては、音声を中心とする64kbps呼即ち多元数1の場合だけを想定して説明を行った。

【0333】しかし、近年、インターネットのマルチメディア応用が進展するにつれ、動画放送や動画像通信などの64kbps以上の多元速度の通信呼でリアルタイム性を要求する場合が見受けられるようになって来た。

【0334】移動通信の分野でも、W-CDMAを使った動画像等を含む64kbps以上の高速のデジタル通信サービスが予定されている。

【0335】そこで、本発明を拡張して、このような多元数Nが1以上の多元呼で音声に加えて動画像等のリアルタイム性の要求される多元呼に対しても、本発明を拡張して適用することができることを説明する。

【0336】本拡張発明は、とくに、多元数が2～3程度の多元数が余り大きくなない多元呼で、多元数1の64kbps呼に比べて、相対的な改善効果が大きな場合に、適用した場合にとくに効果が大きい。

【0337】本発明では、課題を解決する手段の説明で簡単にふれた如く、ATMセル組立装置に置いて、リアルタイム性の要求されるN>1の多元呼に対するセル組立を行う場合に、多元数1の場合の考え方をそのまま拡張して適用する。

【0338】即ち、他のリアルタイム性を必要としない多元呼用に割り当てられたセルロットに対しては、セル

スロットは、全ての多元呼が共用して使う形とし、多元テーブルで待ち行列を作っている先頭の多元呼から順に、ATMセル組立・送出を行っている。

【0339】しかし、リアルタイム性を要求される多元呼に対しては、当該セルスロットに対応するセル化テーブルにリアルタイム要求のフラグが立てられた多元呼の場合には、当該セルスロットは、64kbps呼の場合と同様に、当該多元呼が占有して使う形とする。

【0340】即ち、リアルタイム通信の要求のあった多元呼に対するSTMフレームの多元数個の隣接したタイムスロットの通信データは、当該タイムスロットに1対1に対応した多元数個の連続するセルスロットを使って、ATMセルの組立・送出を行う。

【0341】このようにする事によって、本発明の基本構成と考え方を変更することなく、リアルタイム性を要求する多元呼に対しても、対応が可能となる。

【0342】但し、本拡張発明は、多元数が大きな場合はセルのバースト発生が大きくなる為に適用上の制約がある。

【0343】図27のセル化テーブルの拡張構成に、上記で説明した、リアルタイム性要求フラグRを追加したセル化テーブルの構成をしめす。

【0344】チャネルデータに、リアルタイム性を要求するフラグビットRが追加されている。この情報は、交換機側からの信号情報として得られ、対応する多元呼のチャネル（タイムスロット）に相当する番号のアドレスのセル化テーブル値として設定される。通常の多元呼に大しては、R=0であり、リアルタイム性を要求する多元呼に対しては、R=1に設定される。

【0345】これによって、多元呼即ちN>1の場合で、R=1の通信呼が到来した場合には、多元呼であっても、64kbps呼の場合と同様に考えて、STMフレームのタイムスロットと対応するセル化基本フレーム上のセルスロットの関係を1対1に対応付けて、ATMセル組立送出を行う。

【0346】セルスロットが他の多元呼と共に用いて使われない、リアルタイム性を要求する特定の多元呼が専有して使う点が異なるが、セル化バッファへのデータの書き込みや読みだしのルールは、通常の多元呼の場合と同じである。

【0347】従って、読みだしポインタの設定や更新も多元呼の場合と同じルールで行われる。

【0348】図28のリアルタイム呼への拡張を考慮したセル化バッファへの書き込みと読み出しがの詳細フロー図に示す如く、セル化スロットに対応するタイムスロットに多元呼（N>1）であってリアルタイム性の要求がある（R=1）の呼に対しては、64kbps呼と同様に、当該セルスロットを、対応するタイムスロットを使って送られてきたリアルタイム性を要求する多元呼が専有してATMセルの組立・送出を行う。

【0349】尚、ATMセル分解装置に関しては、必ずSTMフレームの周期データに復元される為、ATMセル組立を行う場合の如くリアルタイム性保持の工夫はとくに必要なく、他のN>1の多元呼の場合と同様にして、ATMセルの分解を行えば良く、とくに、拡張変更を行わなくても、本発明をそのまま、適用すれば良い。

【0350】本拡張発明は、とくに、多元数が余り大きくならないN=2~3程度の範囲で適用して、ATM網側へのバースト発生の影響も少なく抑え、リアルタイム性保証による動画像通信などへの適用効果をあげることができる。

【0351】

【発明の効果】本発明のATMセル組立・分解装置によって、高速メモリを不要とし、メモリ規模を削減し、ATMセル組立時の相互衝突回避の複雑な処理を不要とし、かつ、多元呼に対しては同一の多元呼に対するATMセルのバースト的発生を抑え、ATM網に対する効果的な負荷分散を達成する、LSI化に適した装置の実現が可能となり、その適用効果は大きい。

【図面の簡単な説明】

【図1】 本発明のATMセル組立装置の原理構成図である。

【図2】 本発明のSTMフレームとセル化基本フレームの関係である。

【図3】 本発明のSTMフレームのタイムスロットとセル化バッファとセルスロットの対応関係である。

【図4】 本発明のATMセル組立の基本手順である。

【図5】 本発明のATMセル分解装置の構成である。

【図6】 本発明のATMセル分解の基本手順である。

【図7】 セル化バッファの構成である。

【図8】 セル化テーブルの構成である。

【図9】 多元テーブルの構成である。

【図10】 多元チェーン情報の更新例である。

【図11】 本発明のATMセル組立の詳細フロー図である。

【図12】 64kbps呼対応セル化バッファの書き込みと読み出しがある。

【図13】 セル化バッファへの多元呼の書き込みと読み出しがある。

【図14】 多元数Nとセル組立準備完了時点のSTMフレーム番号シーケンスの計算例である。

【図15】 多元数とセル化バッファアドレス待ち行列

【図16】 通信開始直後の手順図である。

【図17】 第2セル以降の組立手順図である。

【図18】 通信終了時の手順図である。

【図19】 セル化バッファへの書き込みと読み出し手順の詳細フロー図である。

【図20】 本発明のATMセル組立装置の機能情報関連図である。

【図21】 64kbps呼に対する本発明のセル分解処理の概要である。

【図22】 128kbps呼に対する本発明のセル分解処理の概要である。

【図23】 本発明のセル分解用バッファの構成である。

【図24】 書込み制御テーブルの構成である。

【図25】 書込みシーケンス例である。

【図26】 読出しシーケンス例である。

【図27】 セル化テーブルの拡張構成である。

【図28】 多元リアルタイム呼への拡張を考慮したセル化バッファへの書き込みと読み出手順の詳細フロー図である。

【図29】 STM網とATM網を相互接続する為のATMセル組立・分解装置である。

【図30】 本発明のATMセル組立・分解装置と適用分野の対応である。

【図31】 SDHの多重化ハイアーチである。

【図32】 STM1のフレーム構成である。

【図33】 ATM網内のAAL1対応ATMセルの構成である。

【図34】 64kbps呼を対象としたAAL1用ATMセル組立・分解の仕組みである。

【図35】 従来のATMセル組立装置の構成である。

【図36】 従来のATMセル組立装置におけるセル組立の説明図である。

【図37】 従来の多元呼データに対するATMセル組立である。

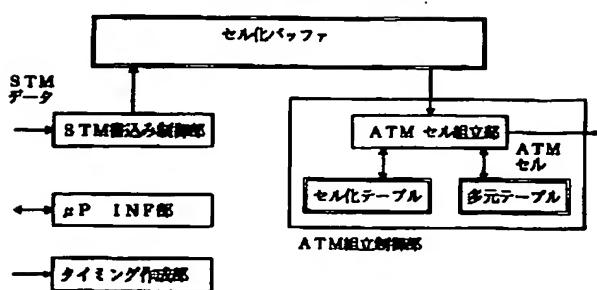
【図38】 従来技術によるSTM多元呼データのセル化バッファへの書き手順フロー図である。

【図39】 従来構成によるセル化バッファへの書き込み仕組みである。

【図40】 従来のATMセル分解装置の構成例である。

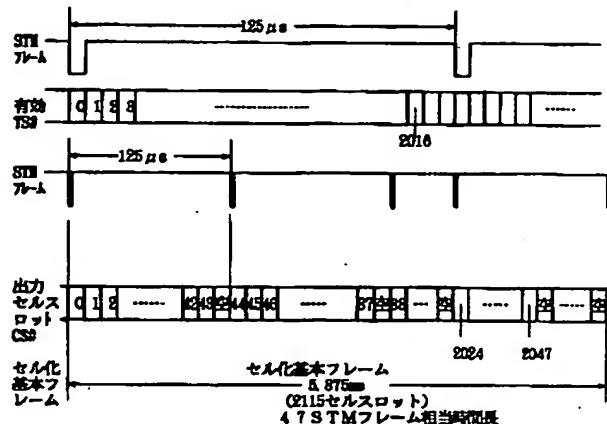
【図1】

本発明のATMセル組立装置の原理構成図



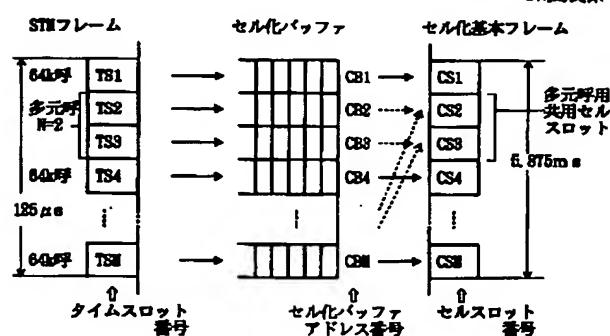
【図2】

本発明のSTMフレームとセル化基本フレームの関係



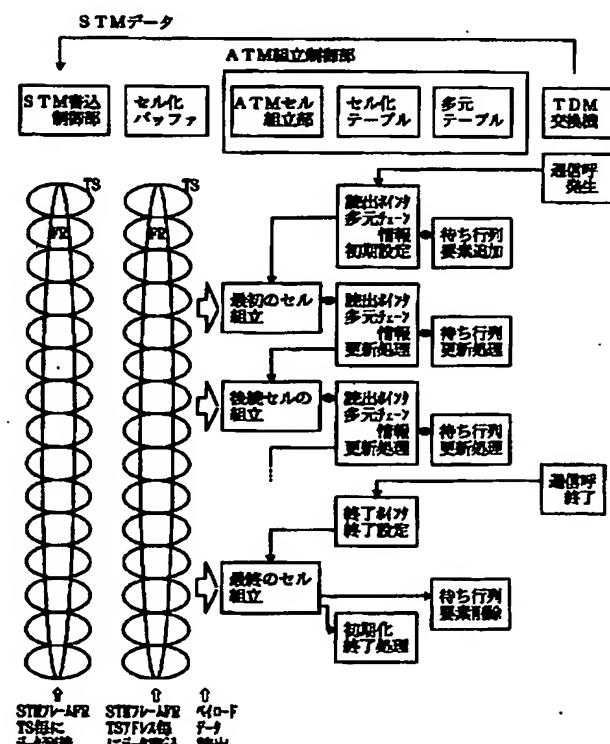
【図3】

本発明のSTMフレームのタイムスロットとセル化バッファとセルスロットとの対応関係

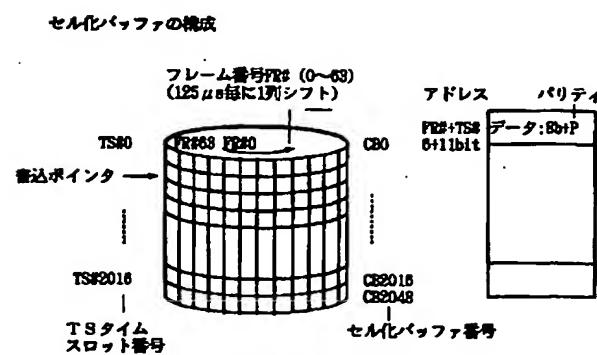


【図4】

本発明のATMセル組立の基本手順

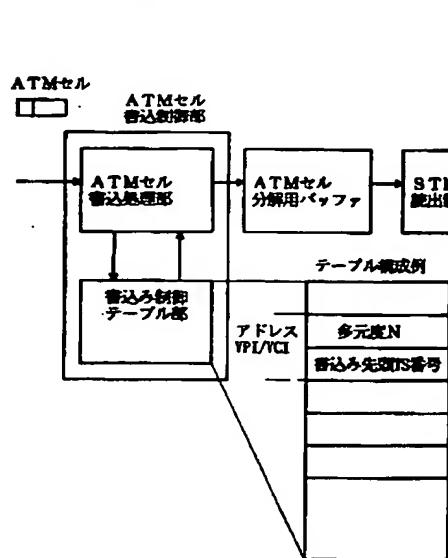


【図7】



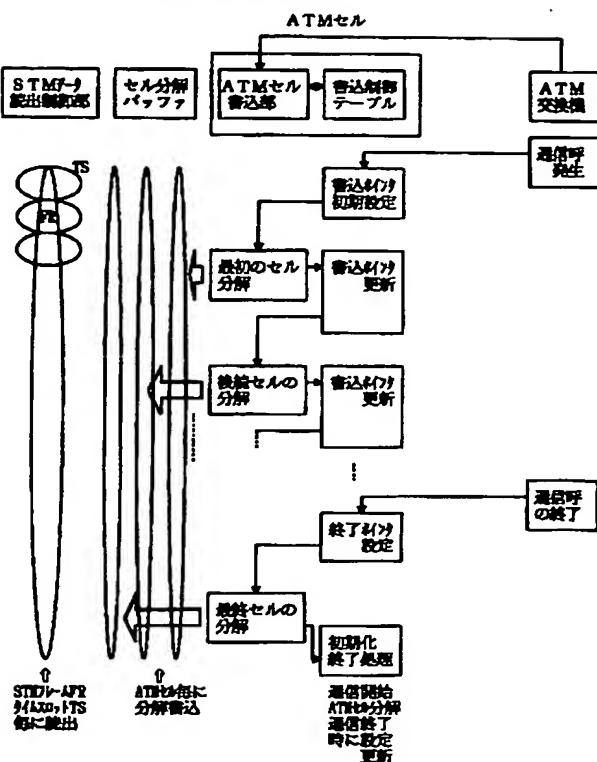
【図5】

本発明のATMセル分解装置の構成

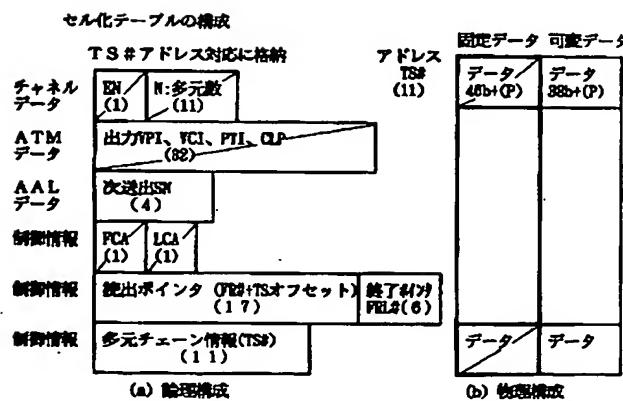


【図6】

本発明のATMセル分解の基本手順

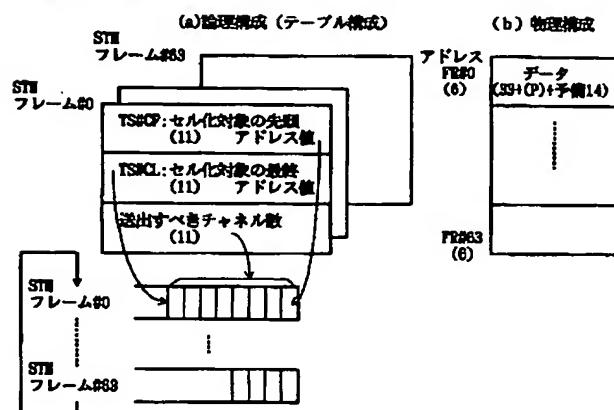


【図8】



【図9】

多元テーブルの構成



【四】10】

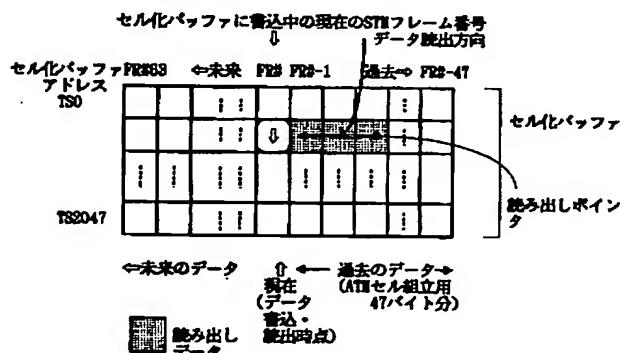
多元チューン情報の更新

◎フレーム毎のセル化対象の先頭TSは多元呼データのセル化を行い、このTSは多元呼データの次のセル組立準備完了フレームPBCが終了する場合の例

セル化対象の先端TS値			セル化対象の最終TS値			送出すべきチャネル数			TFV1		TFV2	
フレーム	TS-3	TS-9	TS-3	TS-9	TS-9	TS-3	TS-9	TS-9	TS	TS	TS	TS
フレーム1	TS-3	TS-9	3						3	多元チャネル情報-6	↓	更新前先頭
	↓										9	追加
	6							2				
フレーム2	TS-25	TS-27	8						6	多元チャネル情報-9	↓	更新後先頭
	↓										9	追加
		TS-9	8						9	多元チャネル情報-8	↓	更新
フレーム3									25	多元チャネル情報-27	↓	追加
									21	多元チャネル情報-21	↓	当初最終
									8			

〔図 1-2〕

64 kbps 対応セルハッ�の導入と導入したイメージ



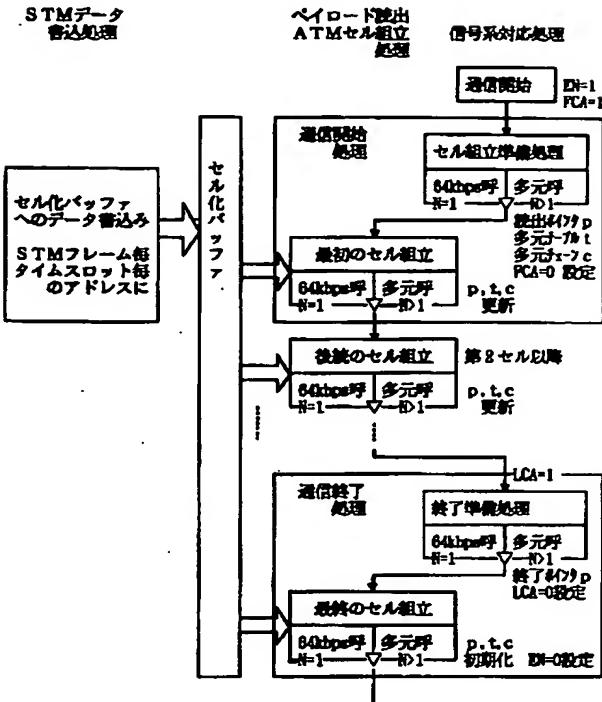
[图 1-4]

多元数Nとセル組立準備完了時点のSTMフレーム番号シーケンスの計算

セル化したSTIフレーム番号-0										→モジュロ64で繰り返し		
N-1	63									46		
N-2	63									46		
N-3	63									46		
N-4	63									46		
N-5	63									46		
N-6	63									46		
N-7	63									46		
N-8	63									46		
N-9	63									46		
N-10	63									46		
N-47	63	012	...							46	47	...
N-94	63	012								46	47	
		012								46	47	

[図 11]

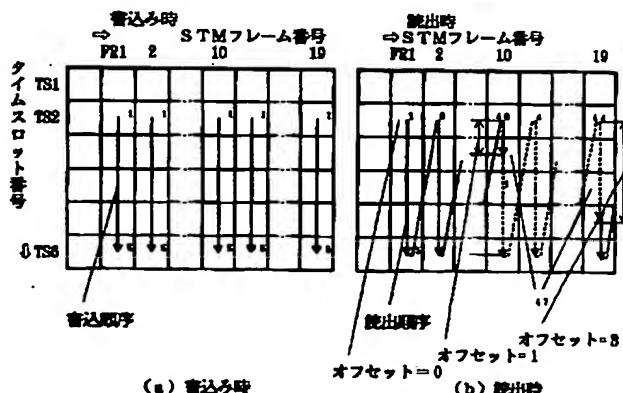
本発明のATMセル組立の詳細フロー図



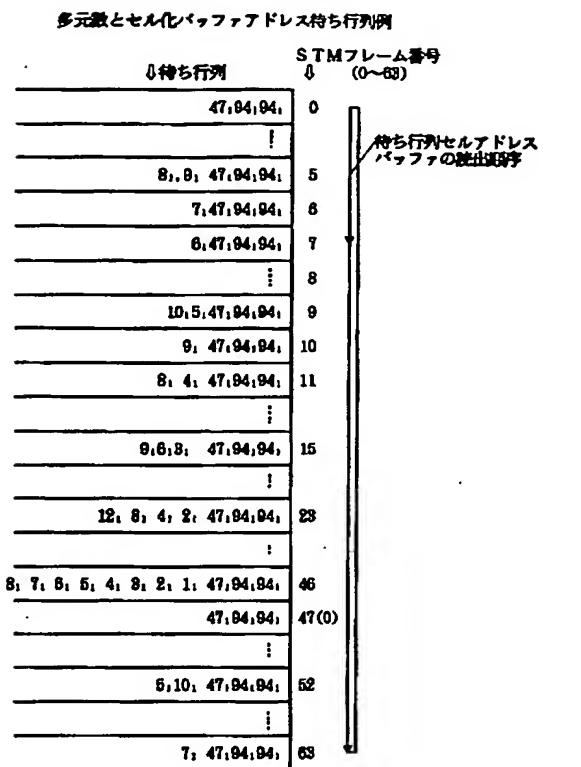
[図13]

セルレバッファへの多元手の書込みと読み出しイメージ

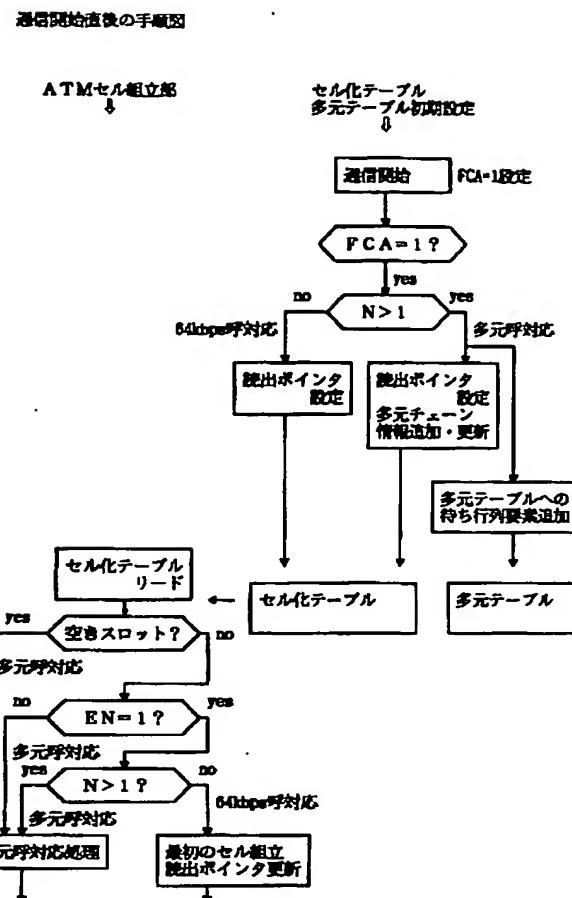
多元度N = 5 の事例



【図15】

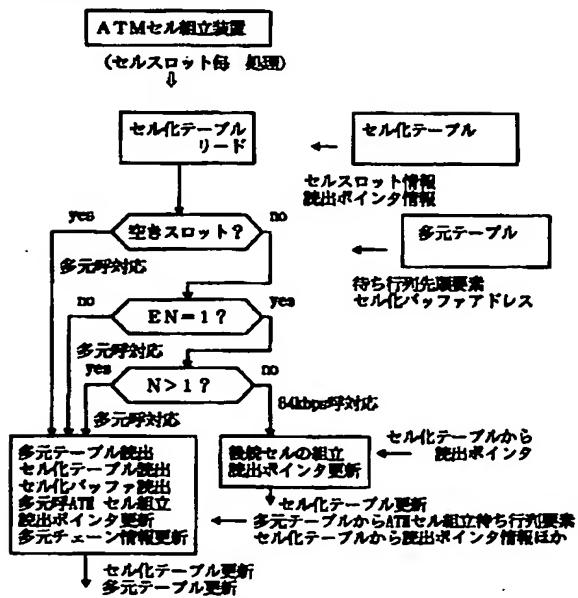


【図16】



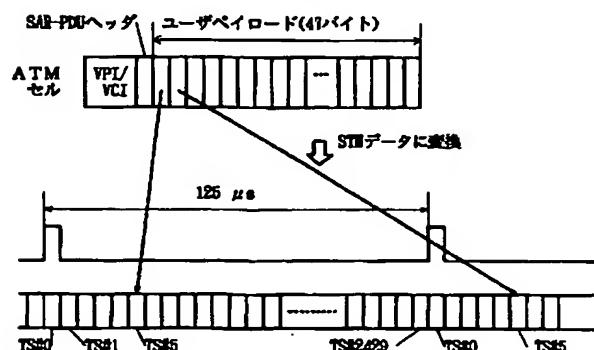
【図17】

第2セル以降の組立手順図



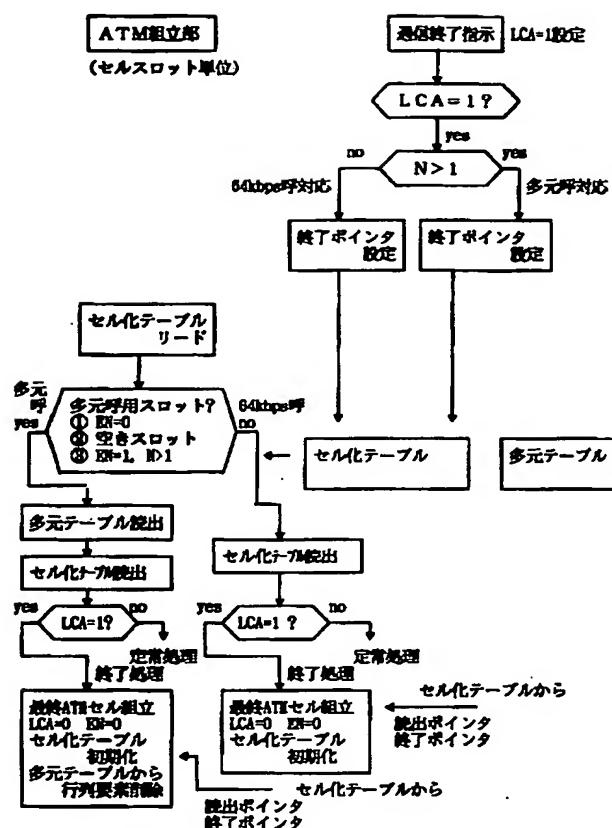
【図21】

64kbps呼に対する本発明のセル分解処理の概要



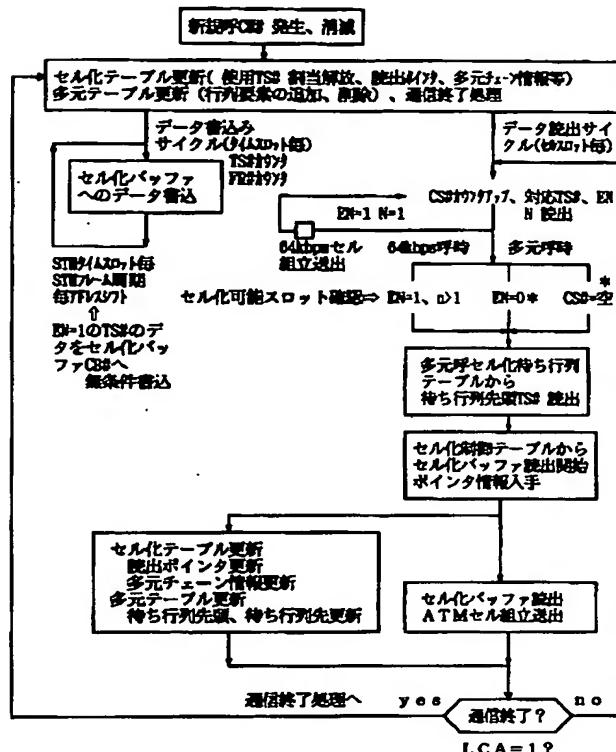
【図18】

通信終了時の手順図



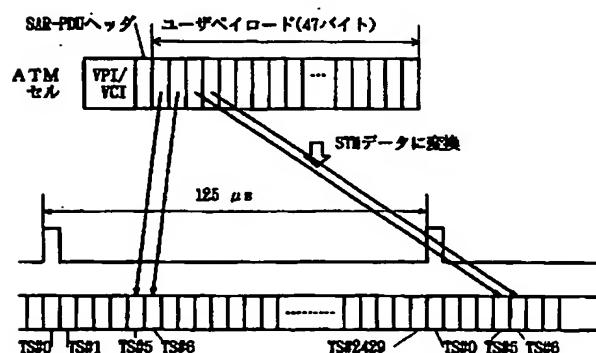
【図19】

セル化バッファへの書き込みと読み出し手順の詳細フロー図



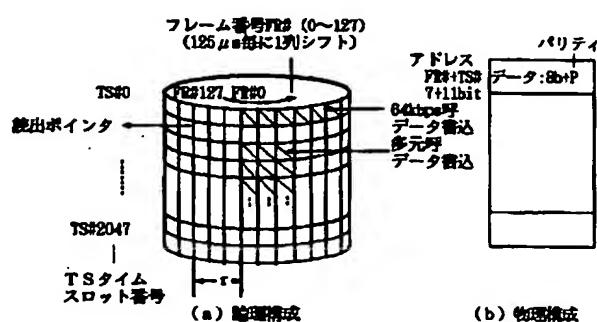
【図22】

128kbit呼に対する本発明のセル分解処理の概要



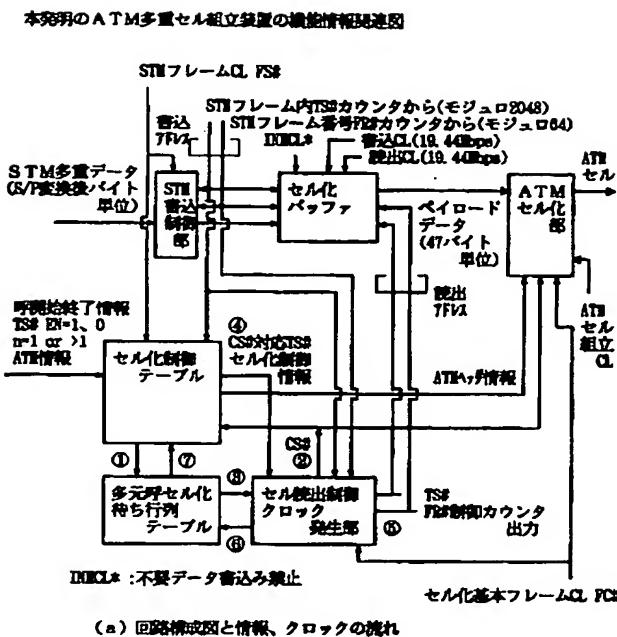
【図23】

本発明のセル分解用バッファの構成



[图 20]

〔四二四〕



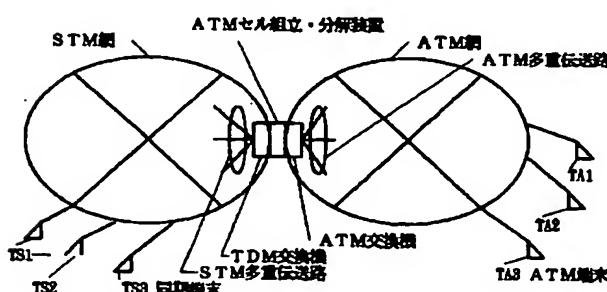
(a) 回路構成図と情報、クロックの流れ

- ① 多元テーブル持ち行リ行作成・更新指示情報
- ② セル化スロット開始指示情報
- ③ 段ち行列先頭の最後セル化多元呼データアドレスTS情報
- ④ セル化出データのセル化バッファアドレスボイント情報(P#、TS#等)
- ⑤ セル化データ出射開始アドレス発生
- ⑥ セル化データ読み出し完了情報(セル分包)
- ⑦ セル化データ読み出し完了情報(セル分包)
- ⑧ 段ち行列出射ボイント・チャーン情報更新指示

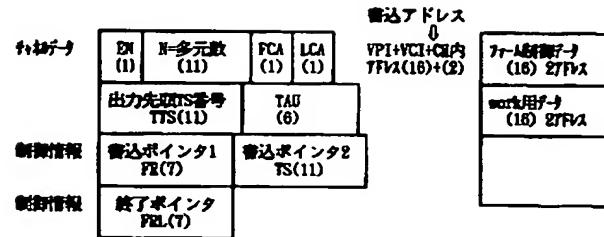
(b) 多元厚セル化組立時の情報やり取り手順

[図29]

STM網とATM網を相互接続する為のATMセル割り・分離技術



書込み用テーブルの構成

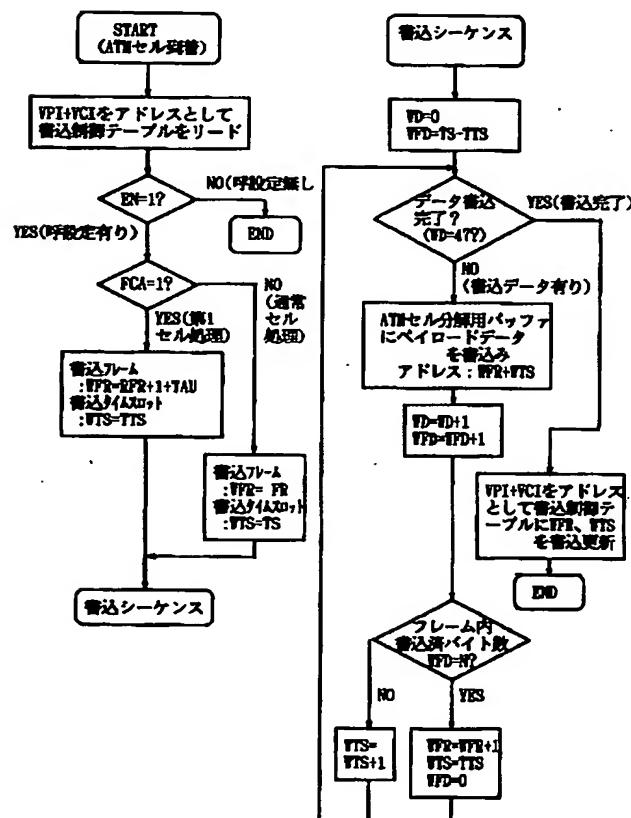


(a) 電子捕獲

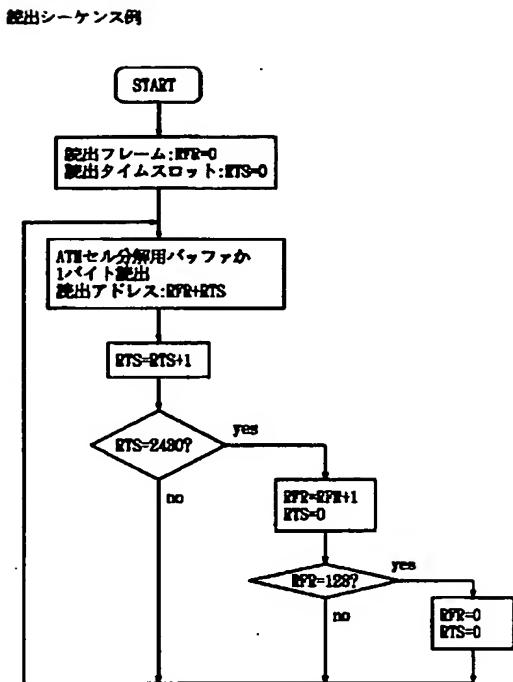
(b) 多重模式

【図 25】

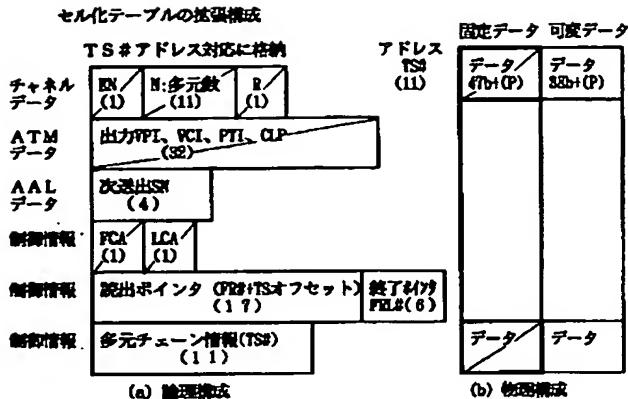
書込シーケンス例



【图26】



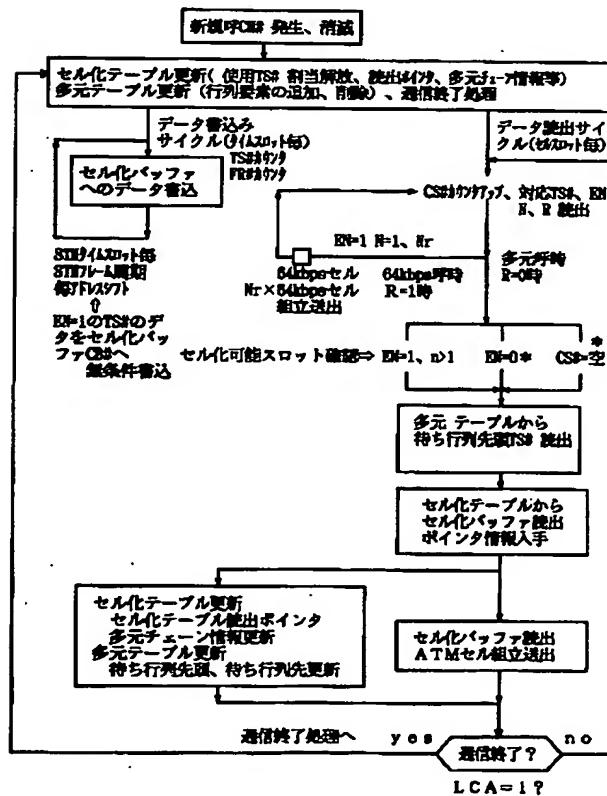
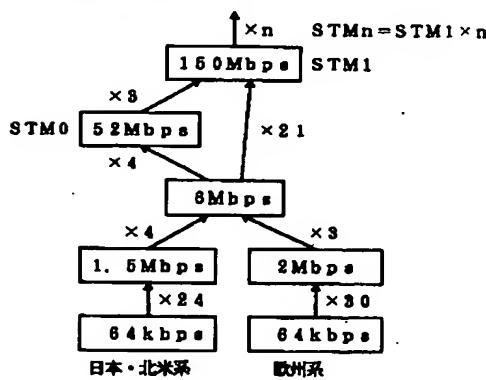
[图 27]



【图28】

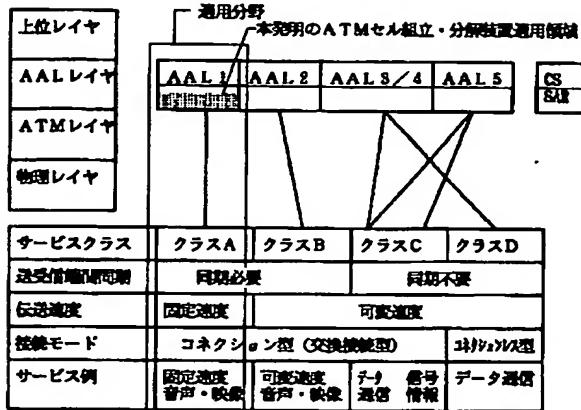
【図31】

SDHの多重化ハイアラーチ



【図30】

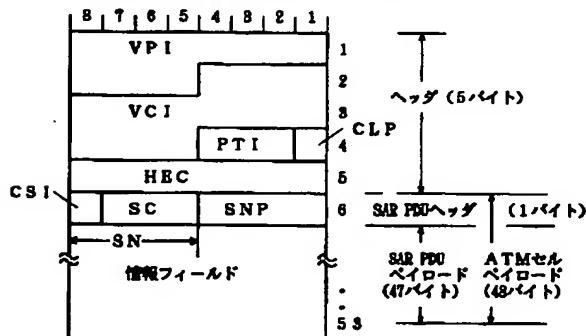
本発明のATMセル組立・分解装置と適用分野の対応



AAL: ATM Adaptation Layer
 CS : Convergence Sublayer (セル連結・誤り訂正レイヤ)
 SAR: Segmentation and Reassembly Sublayer (セル分割・組立サブレイヤ)

【図33】

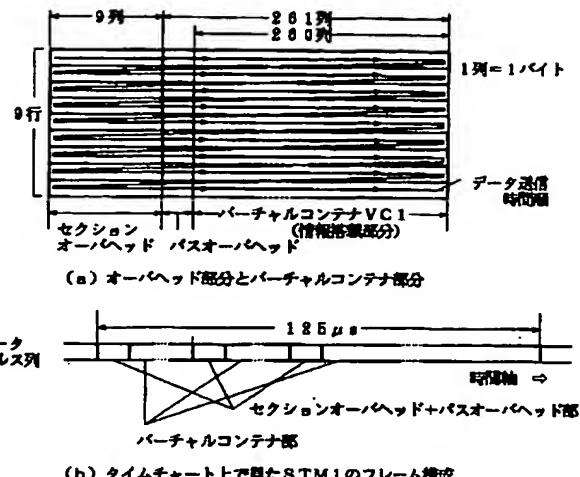
ATM網内連用のAAL1対応ATMセルの構成



VPI: Virtual Path Identifier(仮想バス識別子)
 VCI: Virtual Channel Identifier(仮想チャネル識別子)
 HEC: Header Error Control(ヘッダ誤り訂正)
 PTI: Payload Type Identifier(ペイロードタイプ識別子)
 CLP: Cell Loss Priority(セル喪失優先表示)
 SC: Sequence Count(シーケンス計数)
 SN: Sequence Number(シーケンス番号)
 SNP: Sequence Number Protection(シーケンス番号保護)
 CSI: Convergence Sublayer Indication(コンバージェンスレイヤ)
 PDU: Protocol Data Unit
 SAR: Segmentation and Reassembly Sublayer (セル分割・組立サブレイヤ)

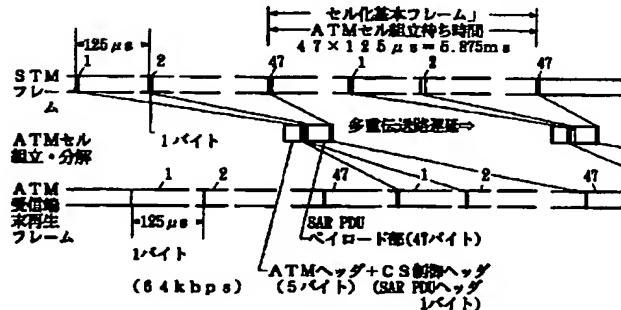
【図32】

STM1のフレーム構成



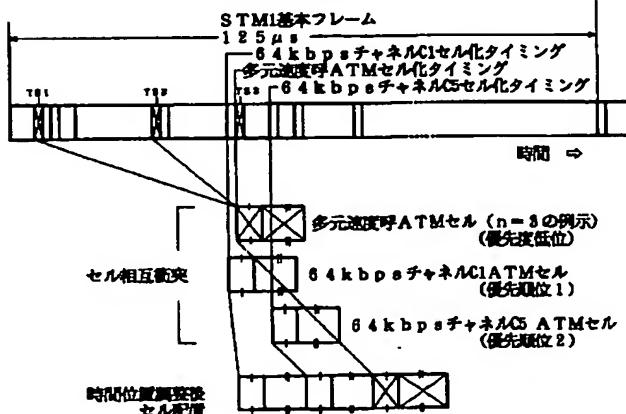
【図34】

64 kbps呼を対象としたAAL1用ATMセル組立・分解の仕組み



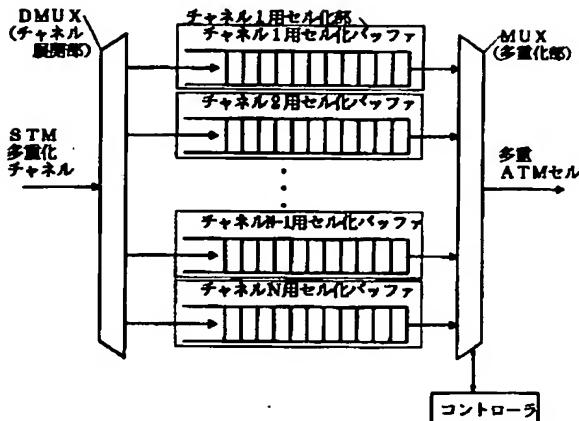
【図37】

従来の多元呼データに対するATMセル組立

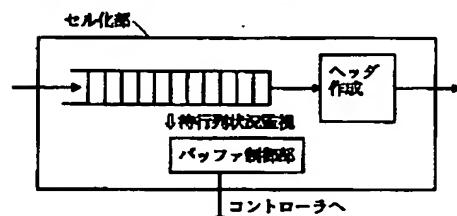


【図35】

従来のATMセル組立装置の構成



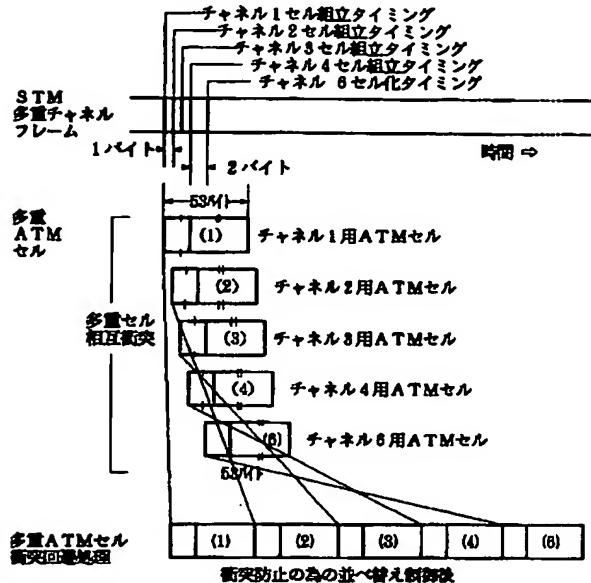
(a) チャネル毎のセル組立待ちバッファの構成



(b) セル化部の構成

【図36】

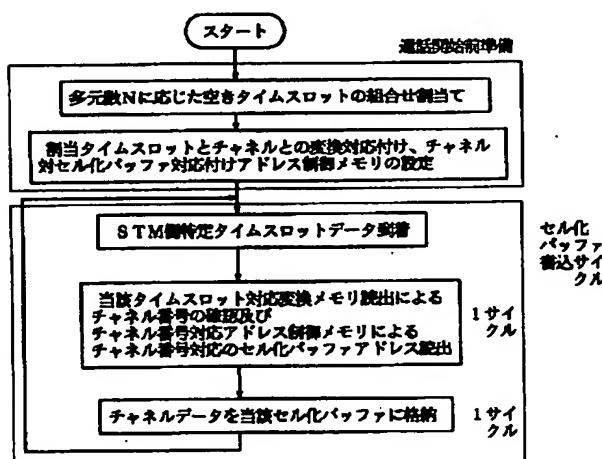
従来のATMセル組立装置におけるセル組立の説明図



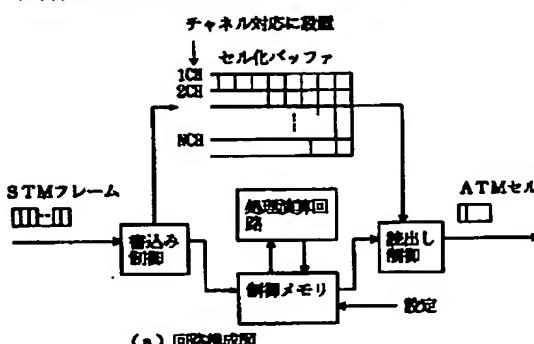
【図39】

【図38】

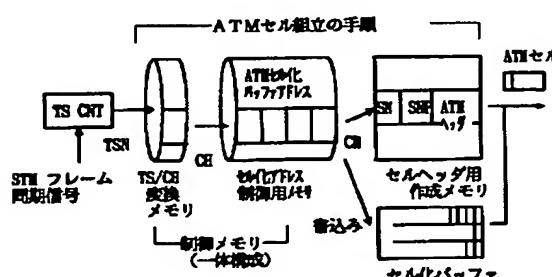
従来技術によるSTM多元呼データのセル化バッファへの書き込み手順フロー図

セル化
バッファ
書き込みサイ
クル

従来構成によるセル化バッファへの書き込みの仕組み



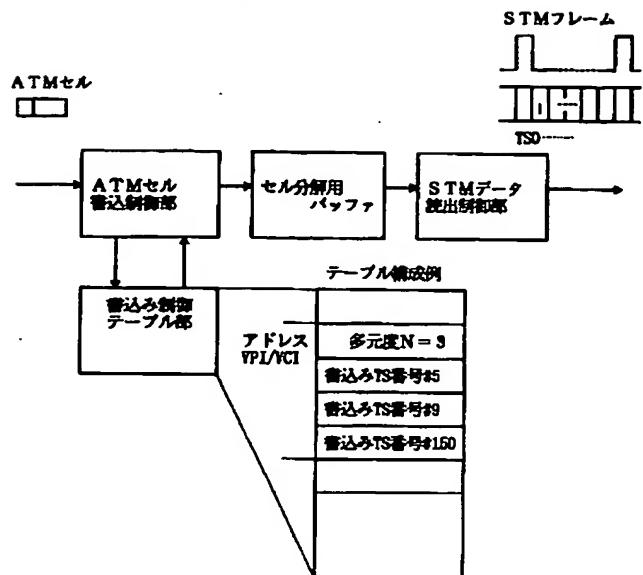
(a) 回路構成図



(b) 個別メモリ部のデータ構造とアドレス制御の仕組み

【図40】

従来のATMセル分解装置の構成例



フロントページの続き

(72)発明者 大友 克弘

宮城県仙台市青葉区一番町1丁目2番25号
富士通東北ディジタル・テクノロジ株式
会社内

(72)発明者 櫻井 宏哉

宮城県仙台市青葉区一番町1丁目2番25号
富士通東北ディジタル・テクノロジ株式
会社内

(72)発明者 我妻 賢

宮城県仙台市青葉区一番町1丁目2番25号
富士通東北ディジタル・テクノロジ株式
会社内

Fターム(参考) 5K028 KK01 KK03 KK35 SS26
5K030 HB29 JA01 JA06 JL10 KA03
LC01 LC11
9A001 BB01 BB02 BB03 BB04 BB05
CC04 CC05 CC07 EE02 EE04
HH15 HH30 JJ19 JJ25 LL02